

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Naoki KUWATA, et al.

Application No.:

Group Art Unit:

Filed: August 18, 2003

Examiner:

For: TIMING EXTRACTION CIRCUIT FOR USE IN OPTICAL RECEIVER THAT USES....

SUBMISSION OF CERTIFIED COPY OF PRIOR APPLICATION

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant(s) submit(s) herewith a certified copy of the following foreign application:

Patent Application No(s). PCT/JP01/01139

Filed: February 16, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto.

Respectfully submitted,

STAAS & HALSEY LLP

Date: August 18, 2003

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2001年 2月16日

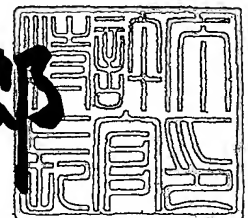
出 願 番 号
Application Number: PCT/JPO1/01139

出 願 人
Applicant (s): 富士通株式会社
桑田 直樹
山本 拓司

2003 年 6 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証平 15-500135

受理官庁用写し

1/4

H756-PCT

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2001年02月16日（16.02.2001）金曜日 16時30分34秒

0	受理官庁記入欄	
0-1	国際出願番号.	PCT/JP 01/01139
0-2	国際出願日	16.02.01
0-3	(受付印)	PCT International Application 日本国特許庁
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	H756-PCT
I	発明の名称	データ伝送速度の1/2周波数クロックを用いる光受信機のタイミング抽出回路及び光送受信機のデューティずれ対応回路
II	出願人	出願人である (applicant only)
II-1	この欄に記載した者は	米国を除くすべての指定国 (all designated States except US)
II-2	右の指定国についての出願人である。	
II-4ja	名称	富士通株式会社
II-4en	Name	FUJITSU LIMITED
II-5ja	あて名:	211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号
II-5en	Address:	1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 2001年02月16日 (16. 02. 2001) 金曜日 16時30分34秒

III-1 111-1-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
111-1-2	右の指定国についての出願人である。	米国のみ (US only)
111-1-4ja 111-1-4en 111-1-5ja	氏名(姓名) Name (LAST, First) あて名:	桑田 直樹 KUWATA, Naoki 211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号 富士通株式会社内
111-1-5en	Address:	C/O FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
111-1-6	国籍(国名)	日本国 JP
111-1-7	住所(国名)	日本国 JP
III-2 111-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
111-2-2	右の指定国についての出願人である。	米国のみ (US only)
111-2-4ja 111-2-4en 111-2-5ja	氏名(姓名) Name (LAST, First) あて名:	山本 拓司 YAMAMOTO, Takuji 211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号 富士通株式会社内
111-2-5en	Address:	C/O FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
111-2-6	国籍(国名)	日本国 JP
111-2-7	住所(国名)	日本国 JP
IV-1 111-1-1ja 111-1-1en 111-1-2ja	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
111-1-2en	氏名(姓名) Name (LAST, First) あて名:	石田 敬 ISHIDA, Takashi 105-8423 日本国 東京都 港区虎ノ門 三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
111-1-3 111-1-4	Address: 電話番号 ファクシミリ番号	A. AOKI, ISHIDA & ASSOCIATES Toranomon 37 Mori Bldg., 5-1, Toranomon 3-chome, Minato-ku, Tokyo 105-8423 Japan 03-5470-1900 03-5470-1911

特許協力条約に基づく国際出願願書

H756-PCT

原本(出願用) - 印刷日時 2001年02月16日 (16. 02. 2001) 金曜日 16時30分34秒

IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent)	
IV-2-1ja	氏名	鶴田 準一; 土屋 繁; 西山 雅也; 樋口 外治	
IV-2-1en	Name(s)	TSURUTA, Junichi; TSUCHIYA, Shigeru; NISHIYAMA, Masaya; HIGUCHI, Sotoji	
V	国の指定		
V-1	広域特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	--	
V-2	国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	CA CN GB JP US	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、 規則4.9(b)の規定に基づき、 特許協力条約のもとで認められ る他の全ての国の指定を行う。 ただし、V-6欄に示した国の指 定を除く。出願人は、これらの 追加される指定が確認を条件と していること、並びに優先日か ら15月が経過する前にその確認 がなされない指定は、この期間 の経過時に、出願人によって取 り下げられたものとみなされる ことを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI	優先権主張	なし (NONE)	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	22	-
VIII-3	請求の範囲	3	-
VIII-4	要約	1	fj-h756.txt
VIII-5	図面	33	-
VIII-7	合計	63	
VIII-8	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-9	別個の記名押印された委任状	✓	-
VIII-10	包括委任状の写し	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当す る特許印紙を貼付した書 面	-
VIII-18	要約書とともに提示する図の 番号	10	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	石田 敬	

特許協力条約に基づく国際出願願書

H756-PCT

原本（出願用） - 印刷日時 2001年02月16日（16.02.2001）金曜日 16時30分34秒

IX-2	提出者の記名押印		
IX-2-1	氏名(姓名)	鶴田 準一	
IX-3	提出者の記名押印		
IX-3-1	氏名(姓名)	土屋 繁	
IX-4	提出者の記名押印		
IX-4-1	氏名(姓名)	西山 雅也	
IX-5	提出者の記名押印		
IX-5-1	氏名(姓名)	樋口 外治	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	16.02.01
10-2	図面：	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

明 細 書

データ伝送速度の $1/2$ 周波数クロックを用いる光受信機のタイミング抽出回路及び光送受信機のデューティずれ対応回路

技術分野

本発明は光送受信機に関し、特に高速光通信システムにおいてデータ伝送速度の $1/2$ 周波数クロックを用いる光受信機のタイミング抽出回路及び光送受信機のデューティずれ対応回路に関するものである。

大都市間等を結ぶ幹線系光通信システムは、今後の動画像伝送やデータ伝送など社会の高度情報化に対応すべく、より大容量で且つ超高速なシステムが求められている。光通信システムにおける 3 R 中継器や端局では、光信号受信部において受信した光信号の光－電気信号変換、等化増幅、タイミングクロック抽出、及び信号識別などの処理を行っている。通常、これらの機能は集積回路によって実現されている。近年では、タイミングクロック抽出に関しては、集積化の容易さから PLL (Phase Locked Loop) 技術が用いられている。

背景技術

$10 \sim 40 \text{ Gb/s}$ というような超高速での長距離光ファイバ伝送システムを早期に実現する場合、現状では光送受信回路を構成するデバイスに十分な高速特性が得られ難いことから、高速動作部の回路規模を必要最小限にして回路全体の動作速度の低減を図る必要がある。最も速い動作速度が要求されるのは伝送速度の信号をそのまま扱う光送受信回路であり、その中でも特にクロック信号に同期

して動作するデバイスが高速特性不足の影響を受け易い。

図 1 は、従来の高速光通信システムの構成例を示したものである。

10 Gb/s 光伝送システムの例で説明する図 1 の (a) は、伝送されてきた 10 Gb/s のデータ信号からその伝送速度と同じ周波数のクロック信号を抽出してデータ信号の識別を行う、いわゆる同一周波数クロック抽出方式を用いた高速光通信システムの構成例を示している。

光送信機 10 の側では、 $x : 1$ の多重化部 (MUX) 11 で x 多重された 10 Gビットレート (BR) の信号が D-フリップ/フロップ (D-F/F) 15 で波形整形された後、ドライバ 14 を介して光変調器 13 に入力される。レーザダイオード 12 からの光信号は光変調器 13 で前記ドライバからの信号によって変調され、10 Gb/s の光変調信号として光ファイバを用いた光伝送路 20 へ出力される。

一方、光受信機 30 の側では、光伝送路 20 から受信した光信号がフォトダイオード 31 によって光-電気変換され、アンプ 32 で増幅されてから識別回路 34 及びタイミング抽出回路 33 に入力される。タイミング抽出回路 33 では入力信号から伝送信号と同じ 10 GHz のクロック信号を抽出する。識別回路 34 では、前記抽出されたクロック信号を使って受信データ信号をサンプリングし、受信データ信号の論理レベルを識別する。その後は、 $1 : x$ 分離回路 (DEMUX) 35 によって各原信号 x に復元される。

伝送速度が上昇した場合について、40 Gb/s 光伝送システムを例に説明する図 1 の (b) は、伝送されてきた 40 Gb/s のデータ信号からその伝送速度の $1/2$ の周波数のクロック信号を抽出してデータ信号の識別を行う、いわゆる $1/2$ 周波数クロック抽出

方式を用いた高速光通信システムの構成例を示している。ここでは、前述した図 1 の (a) との相違箇所だけを説明する。

まず、送信機 10 側では、波形整形用の D-フリップ/フロップ (D-F/F) 15 が削除されている。現状では 40 Gb/s (ビット幅 25 ps) で正常に動作するクロッキングデバイスの製作が困難な点とその主な理由である。その結果、本例では $1/2$ 周波数クロック ($BR/2 = 20\text{ GHz}$) を使用し、クロックの半周期毎に多重化部 (MUX) 11 から x 多重された信号をセレクト出力することで 40 Gb/s のデータ信号を取り出している。そのデータ信号は直接ドライバ 14 を駆動し、光変調器 13 から光伝送路 20 へ 40 Gb/s のデータ信号が出力される。

次に、光受信機 30 の側では、受信した 40 Gb/s のデータ信号からタイミング抽出部 36 において受信データビットレートの $1/2$ 周期クロック信号 ($BR/2 = 20\text{ GHz}$) を抽出して出力する。そして、その半周期毎の正転及び反転クロックエッジ信号と 2 つの識別部 37 及び 38 とを使って 1 クロック周期毎に 2 ビット (半周期毎に 1 ビット $= 40\text{ Gb/s}$) のデータ信号を識別する。識別された 2 つのデータ信号は後段の $2 : x$ 分離回路 (DEMUX) 39 によって各原信号 x に復元される。

図 2 には、図 1 の (a) における同一周波数クロック抽出方式を用いたタイミング抽出部 33 及び識別部 34 の回路構成例を示している。図 4 は、図 2 における各カッコ内の数字に対応する点の動作例を示したタイミングチャートである。図 3 には、図 1 の (b) における $1/2$ 周波数クロック抽出方式を用いたタイミング抽出部 36 及び識別部 37 及び 38 の回路構成例を示している。図 5 は、図 3 における各カッコ内の数字に対応する点の動作例を示したタイミングチャートである。以降ではそれらの基本動作について簡単に説

明しておく。

受信データ信号（１）は、図１の（ａ）の識別回路３４に相当する２段構成のＤ－フリップ／フロップ４１及び４２に入力され、下段のPLL（Phase Lock Loop）回路からのクロック立ち上がりエッジ信号によってクロックに同期した信号（３）とその１ビット遅延信号（４）とが生成される。同様に、受信データ信号（１）は、２段構成のＤ－フリップ／フロップ４３及び４４にも入力される。但し、ここでは前段のＤ－フリップ／フロップ４３がクロック立ち下がりエッジ信号によってラッチされ、さらに後段のＤ－フリップ／フロップ４４がクロック立ち上がりエッジ信号によってラッチされる。その結果、同期信号（３）より半周期遅れの同期信号（５）とさらにその半周期遅れの同期信号（６）（同期信号（４）と同位相）が生成される。次に、同期信号（４）及び（６）の排他的論理和（EXOR）の出力信号（８）と、同期信号（３）及び（６）のEXOR出力信号（７）とがそれぞれ求められ、比較回路４７によるそれらの大小比較信号がループフィルタ４８を介して電圧制御発振器（VCO）４９を制御する。

ここでは、受信データ信号（１）の立ち上り及び立ち下りエッジとクロック信号（２）の立ち下りエッジの位相関係に注目し、どちらのエッジが先に来るかによってEXOR出力信号（７）及び（８）の出力信号が異なることを利用している。図４の（ａ）に示すように、VCO４９からのクロック出力信号（２）の立ち下りエッジが受信データ信号（１）の切り替わりエッジより遅れている場合（位相遅れ）、同期信号（３）及び（６）の信号は同一となってEXOR出力信号（７）は低レベルとなる。反対に、図４の（ｂ）に示すように、VCO４９からのクロック出力信号（２）の立ち下りエッジが受信データ信号（１）の切り替わりエッジより進んでいる場合（

位相進み)、同期信号(4)及び(6)の信号は同一となってE X O R出力信号(8)は低レベルとなる。一方、入力信号パターンがランダムでそのマーク率が $1/2$ の場合、位相遅れではE X O R出力信号(8)の平均電圧が高レベルと低レベルの中間値となる。反対に、位相進みではE X O R出力信号(7)の平均電圧が高レベルと低レベルの中間値となる。従って、E X O R出力(7)と(8)との平均電圧の差によってデータ信号とクロック信号との位相関係を検出することができる。本例ではバイナリ位相比較回路を用いた比較回路47からの大小比較信号はループフィルタ(ローパスフィルタ)48を介して前記各位相差をゼロにするようにV C O 49を制御する。すなわち、本例ではクロック出力信号(2)の立下りエッジが常時受信データ信号(1)の切り替わりエッジと一致するように位相制御され、前記立下りエッジの前後の2つのエッジ信号によって信号識別が行なわれる。

次に、図3及び5の $1/2$ 周波数クロック抽出方式の回路動作例について説明する。ここで、V C O 50の発振中心周波数は受信データ信号(1)のビットレートの $1/2$ 周波数である。受信データ信号(1)は、図1の(b)の識別回路37及び38に相当する2つのD-フリップ/フロップ51及び52に入力され、下段のP L L回路からのクロック立ち下がり/立ち上がりエッジ信号にそれぞれ同期した信号(3)及び(4)が生成される。同様に、受信データ信号(1)は、D-フリップ/フロップ53にも入力されるが、これにはV C O 50から出力されるクロック信号が $T/2$ ($1/4$ クロック周期、 T =半クロック周期)遅延回路54を介して与えられ、そのクロック立ち上がりエッジ信号に同期した信号(6)が生成される。

これ以降、同期信号(4)及び(6)の排他的論理和(E X O R

の出力信号（８）と、同期信号（３）及び（６）の E X O R 出力信号（７）とをそれぞれ求め、比較回路 4 7 の大小比較信号によりループフィルタ 4 8 を介して電圧制御発振器（但し 5 0）を制御する点は、図 2 と同様である。図 5 の（a）に示すように、V C O 5 0 からの 1 / 4 周期遅延クロック信号（５）の立ち上がりエッジが受信データ信号（１）の切り替わりエッジより遅れている場合、同期信号（３）及び（６）の信号は互いに 3 / 4 クロック周期分同一となって E X O R 出力信号（７）はその間低レベルとなる。反対に、図 5 の（b）に示すように、V C O 5 0 からのクロック信号（５）の立ち上がりエッジが受信データ信号（１）の切り替わりエッジより進んでいる場合、同期信号（４）及び（６）の信号が互いに 3 / 4 クロック周期分同一となって E X O R 出力信号（８）はその間低レベルとなる。比較回路 4 7 からの大小比較信号は前記各位相差をゼロにするように後段の V C O 5 0 を制御する。すなわち、本例ではクロック信号（５）の立ち上がりエッジが常時受信データ信号（１）の切り替わりエッジと一致するように位相制御され、前記立ち上がりエッジの前後の 2 つのエッジ信号によって信号識別が行なわれる。このように、1 / 2 周波数クロック抽出方式は同一周波数クロック方式とほぼ同様なハードウェア構成で 1 / 2 周波数クロックが使用できる点で大きな利点を有している。

しかしながら、1 / 2 周波数クロック抽出方式には、クロック信号とデータ信号との位相比較時に従来の同一周波数クロック抽出方式では問題の無かったデータ信号のパターンでも特定の信号パターン「1 1 0 0」についてはそれが連続して繰返されると位相比較信号が得られなくなるという問題があった。

図 6 及び 7 には、問題となる信号パターン「1 1 0 0」に関して 2 通りの位相関係 A 及び B のタイミングチャート例を示している。

図 6 の (a) 及び (b) はクロック信号の位相遅れと位相進みの場合をそれぞれ示しており、本例ではクロック信号 (5) の立ち上がりエッジが受信データ信号 (1) の変化点 (“0” → “1” 又は “1” → “0”) に対する位相制御範囲内にあるため同期信号 (7) 及び (8) のレベル平均値に差が生じる (位相関係 A)。従って、先に述べた図 5 と同様に同期信号 (7) 及び (8) のレベル比較によって受信データ信号 (1) の切り替わりエッジと一致するように位相制御が行なわれる。一方、図 7 の (c) 及び (d) にもクロック信号の位相遅れと位相進みの場合をそれぞれ示しているが、この場合はクロック信号 (5) の立ち上がりエッジが受信データ信号 (1) の同一レベル遷移点 (“0” → “0” 又は “1” → “1”) にあるため、同期信号 (7) 及び (8) は互いに同一波形となりそれらのレベル平均値も同一である (位相関係 B)。従って、その間は位相検出が不可能となり PLL が同期はずれを起こす場合が生じる。

このように位相比較を行なうにはデータ信号の高低レベル間の遷移が必要となるが、1 / 2 クロック抽出方式の場合は図 6 及び 7 に示すようにデータ信号の変化を全て位相比較に利用しているわけではなく 1 つおきにしか利用していない。そのため、図 6 の位相関係 A の場合には位相検出可能であるが、図 7 の位相関係 B の場合には位相検出が不可能となる。これに対処するため、データ信号をスクランブルすることが考えられるが、10 Gb / s の光伝送システムの例では現に「1100」パターンが1528ビットにわたって使用されており (Bellcore generic requirements GR-1377-CORE, “SONET OC-192 Transport System Generic Criteria” に準拠したシステムの場合)、さらに高速なシステムでも同様に「1100」パターンが数1000ビット連続して使用される可能性がある。これに

1 / 2 クロック抽出方式を用いると PLL の位相偏差が大きくなったり同期はずれを起こす等の上述した問題が生じる。

さらに別の問題として、先に図 1 の (b) で示した 40 Gb / s の超高速光通信を行なうようなシステム構成では、光送信機 10 の最終段にデータ伝送速度でクロッキングする D - F / F による波形整形を行っていない。そのため、図 8 及び 9 に示すような問題が生ずる

図 8 は、2 : 1 多重回路の出力段の回路構成例を示したものである。また、図 9 には、図 8 上の各信号波形例及びそれと光受信機側での 1 / 2 クロック抽出方式によるクロック及びデータ識別タイミングとの関係を示している。

図 8 において、20 Gb / s のシリアルデータ (DATA 1) が D - フリップ / フロップ 6 1 に、そして 20 Gb / s のシリアルデータ (DATA 2) が D - フリップ / フロップ 6 2 へそれぞれ入力される。本例では図 9 の (a) に示す 20 GHz のデューティずれしたクロック信号の正転クロック信号が D - フリップ / フロップ 6 1 のクロック端子へ入力され、また反転クロック信号が D - フリップ / フロップ 6 2 のクロック端子へ入力される。前記クロック信号は、さらに前記 D - フリップ / フロップ 6 1、6 2 の各動作遅延時間を補償する遅延回路 ($T / 4 = 1 / 8$ クロック周期) 6 3 を介してセレクトア 6 4 を制御し、セレクトア 6 4 は前記 2 つの D - フリップ / フロップ 6 1、6 2 からの出力のいずれかを半クロック周期毎に切替えて選択出力する。その結果、セレクトア 6 4 からは 40 Gb / s のデータが出力されるが、図 9 の (b) に示すようにクロック信号のデューティずれに起因して 1 ビット置きにデューティのずれたデータ信号が出力される。

光受信機 30 の側でその受信データを 1 / 2 クロック抽出方式を

使ってデータ識別する場合、図 9 の (c) に示すように中央の PLL 位相同期クロック信号の前後に等間隔に位置するデータ識別（サンプリング）点の一方のサンプリング余裕が無くなるという問題があった。そのため一方のデータ識別位相を調整したとしても、 $1/2$ クロック抽出方式では位相のロック点が 2 箇所存在するため（デューティの“狭”→“広”又は“広”→“狭”の各変化点）、結局データ識別位相が設定点からずれるという問題を解消することはできなかった。

発明の開示

そこで本発明の目的は、特定の信号パターンについても従来の同一クロック抽出方式と同等の特性を持つ改良された $1/2$ クロック抽出方式を用いる光受信機のタイミング抽出回路を提供することである。

また本発明の目的は、 $1/2$ クロック抽出方式を用いる光受信機において、受信データ信号のデューティの広狭を判別することで自動若しくは初期設定により識別位相を制御するデューティずれ対応回路を提供することである。その際、データ信号を識別するクロック信号とその反転クロック信号の識別位相を独立に調整することにより厳密な識別位相設定を実現する。

さらに本発明の目的は、光送信機において、 $2:1$ 多重回路に用いられるクロック波形のデューティを補償するデューティずれ対応回路を提供することである。

本発明によれば、ビットレート B (bit/s) のデータ信号と $B/2$ (Hz) のクロック信号との位相比較を $2/B$ (sec) 間隔で行う位相比較回路を含む PLL 回路を用いたタイミング抽出回路であって、所定パターンのデータ信号の受信により位相比較回路からの位相比較

情報出力が無くなったことを検出する検出回路と、その検出により同期を保持するためにクロック信号の位相を制御する制御回路と、を有するタイミング抽出回路が提供される。また、ビットレート B (bit/s) のデータ信号と $B/2$ (Hz) のクロック信号との位相比較を $2/B$ (sec) 間隔で行う位相比較回路を含む PLL 回路を用いたタイミング抽出回路であって、全てのデータ信号の位相比較のためにデータ信号の 1 周期分 ($1/B$ sec) だけ比較位相の異なる 2 つの位相比較回路を有するタイミング抽出回路が提供される。

また本発明によれば、ビットレート B (bit/s) のデータ信号と $B/2$ (Hz) のクロック信号との位相比較を $2/B$ (sec) 間隔で行う位相比較回路を含む PLL 回路と、前記 PLL 回路が同期した点前後の入力データ間のデューティを判定するデューティ判定回路と、前記判定結果にもとづいて、前記 PLL 回路が同期した点前後のデータ識別位相を制御する制御回路と、で構成する光受信機のデューティずれ対応回路が提供される。また、前記制御回路は、所望のデューティ情報が設定された初期位相設定回路を有し、前記初期位相設定回路は、初期位相調整時のデューティと前記所望のデューティ情報とを比較し、所望のデューティ情報と同じ状態で位相同期していればその状態を維持し、所望のデューティ情報と異なる状態で位相同期していれば、前記 PLL 回路の電圧制御発振器のクロック出力を反転させる。前記制御回路は、データ信号の $1/2$ 周期の位相を遅延させたクロック信号の位相とクロック信号の位相とを各々独立に調整することで、データ信号を識別するクロック信号とその反転クロック信号の識別位相を独立に調整する。

図面の簡単な説明

図 1 は、従来の高速光通信システムの構成例を示した図である。

図 2 は、同一周波数クロック抽出方式の一例を示した図である。

図 3 は、 $1/2$ 周波数クロック抽出方式の一例を示した図である。

。

図 4 は、図 2 のタイミングチャートである

図 5 は、図 3 のタイミングチャートである

図 6 は、位相関係 A のタイミングチャートである。

図 7 は、位相関係 B のタイミングチャートである。

図 8 は、 $2:1$ 多重回路の出力段の回路構成例を示した図である

。

図 9 は、信号波形例を示した図である。

図 10 は、本発明による第 1 の実施例を示した図である。

図 11 は、図 10 の動作原理図である。

図 12 は、第 1 の実施例の具体的な適用例 (1) を示した図である。

図 13 は、図 12 のタイミングチャートである。

図 14 は、第 1 の実施例の具体的な適用例 (2) を示した図である。

図 15 は、図 14 のタイミングチャートである。

図 16 は、第 1 の実施例の具体的な適用例 (3) を示した図である。

図 17 は、本発明による第 2 の実施例を示した図である。

図 18 は、図 17 のタイミングチャート (1) である。

図 19 は、図 17 のタイミングチャート (2) である。

図 20 は、図 17 のタイミングチャート (3) である。

図 21 は、図 17 のタイミングチャート (4) である。

図 22 は、本発明による第 3 の実施例を示した図である。

図 23 は、図 22 のタイミングチャート (1) である。

図 2 4 は、図 2 2 のタイミングチャート (2) である。

図 2 5 は、第 3 の実施例の具体的な適用例を示した図である。

図 2 6 は、図 2 5 の信号波形図である。

図 2 7 は、本発明による第 4 の実施例を示した図である。

図 2 8 は、図 2 7 のタイミングチャートである。

図 2 9 は、第 4 の実施例の具体的な適用例 (1) を示した図である。

図 3 0 は、第 4 の実施例の具体的な適用例 (2) を示した図である。

図 3 1 は、第 4 の実施例の具体的な適用例 (3) を示した図である。

図 3 2 は、図 2 9 ～ 3 1 のタイミングチャートである。

図 3 3 は、本発明による第 5 の実施例を示した図である。

図 3 4 は、第 5 の実施例の具体的な適用例 (1) を示した図である。

図 3 5 は、第 5 の実施例の具体的な適用例 (2) を示した図である。

発明を実施するための最良の形態

図 1 0 は、本発明による第 1 の実施例を示したものである。また、図 1 1 には図 1 0 の動作原理を示している。本例では先に説明した位相関係 B になったことを検出して、位相関係 A になるようにクロック信号の位相を制御する。すなわち、クロック信号を反転させることで位相関係 B を位相関係 A に修正する。現在、10Gb/s の光伝送システムで主に使用されているデータ信号パターンでは 1100 パターンの連続が周期的に繰り返されるが、その繰り返しの 1 周期のビット数は偶数のため、一旦位相関係 A で PLL がロックしてし

まえば、それ以降の周期では位相関係 B は発生しない。

図 10 において図 3 と同じものには同一の引用符号を付している。本例で新たに設けられた 1100 パターン連続入力対策回路 101 は、E X O R 回路 45 及び 46 の各同期信号 (8) 及び (7) の論理和信号を、T/2 遅延回路 54 からのクロック信号の反転信号でラッチする D-フリップ/フロップ 104 で取りこむ。図 11 の (a) に示すように 1100 パターンが連続して入力され、その位相関係が B となっている時は、先に説明した図 7 に (x) 印で示すようにこのタイミングでラッチされる信号はいずれも低レベル信号となる。その結果、図 11 の (d) に示すように次段のローパスフィルタ 105 の出力は徐々に低下し、やがて比較器 106 の基準電位より低下して T-フリップ/フロップ 107 の出力を反転させる (図 11 の (f))。本例で設けられた E X O R 回路 102 はこの反転信号とクロック信号との排他的論理和により反転クロック信号を出力する。このクロック信号の反転によって図 7 の位相関係 B で動作していた P L L 回路は図 6 の位相関係 A に遷移する。従って、以降は 1100 パターンが連続して入力されても正常な同期状態が維持される。

図 12 ~ 19 までは、本発明の第 1 の実施例の具体的な適用例を示したものである。

図 12 では、クロック信号の位相を変化させるため図 11 では E X O R 回路 102 を用いていたのに代えて、V C O 50 に印加する制御電圧を直接制御する加算回路 108 を使用している。図 13 を参照して図 12 の動作を簡単に説明する。図 13 の (e) に示すように 1100 パターンが連続して入力されて比較器 106 の出力が高レベルになると、V C O 50 の制御端子にループフィルタ出力に加えて加算回路 108 を介してわずかな一定電圧が加えられる (図

13の(f))。VCO50の発振周波数は制御電圧に比例するため、一定電圧が加えられている間は周波数がわずかに一定周波数だけずれる。VCO50の出力位相は制御電圧の積分値に比例するため、周波数がずれている間は除々に変化する。位相が変化してくると、データ信号と位相比較可能となりOR回路103に高レベルの信号が生じてくる。その結果、図13の(g)及び(h)に示すように比較器106の出力が低レベルになってVCOの発振周波数は元に戻るが、PLLによりクロック信号の位相は180度遷移した位置で安定する。

図14は、EXOR回路45及び46に入力される信号の位相がずれていたために生じていた図7の各排他的論理和の出力信号(7)及び(8)の高レベルのパルスを、新たに設けたDフリップ／フロップ109及び110で位相を揃えることによって消去し、それによって1100パターン連続入力対策回路101のDフリップ／フロップ104を不用としている。この動作を図15のタイミングチャートを用いて説明すると、Dフリップ／フロップ109及び110はそれぞれ前段の同期信号(4)及び(6)をクロック反転信号でラッチするためその出力は同期信号(13)及び(14)となる。従って、図15の(a)の位相遅れの場合は、同期信号(3)と(14)とが等しくなり、従ってその排他的論理和の出力信号(7)は低レベルとなる。一方、図15の(b)の位相進みの場合は、同期信号(13)と(14)とが等しくなり、従ってその排他的論理和の出力信号(8)は低レベルとなる。その結果、図7の(x)印で示す点をサンプリングするために設けられていたDフリップ／フロップ104は不用となる。また、図16は、図14のDフリップ／フロップ109及び110に代えて、遅延回路111及び112を設けたものである。従って、その動作タイミング

は図 1 5 と同様である。

図 1 7 は、本発明による第 2 の実施例を示したものである。本例では 1 / 2 クロック抽出方式においてもデータ信号の全ての変化を位相比較に利用する。すなわち位相関係 A 及び B のいずれも検出される。図 1 7 では新たに D - フリップ / フロップ 1 2 1 を追加してそれにクロック信号 (5) の反転信号を入力することで、図 3 ではデータ信号の変化を検出していなかった残りの 1 ビット置き of データ信号の変化をも検出している。そのため、E X O R 回路 1 2 2 及び 1 2 3 を追加し、それらの出力信号 (1 0) 及び (1 1) と従来の E X O R 回路 4 5 及び 4 6 の出力信号 (8) 及び (9) との論理和信号を得るための O R 回路 1 2 4 及び 1 2 5 も追加されている。本例の動作を図 1 8 ~ 2 1 のタイミングチャートを用いて説明する。図 1 8 には、クロック信号が遅れている場合を示している。先に説明した図 5 の場合に加えて、クロック信号 (5) の立下りエッジ信号によって同期信号 (7) が生成される。

これ以降、同期信号 (3) 及び (7) の E X O R 出力信号 (1 0) と、同期信号 (4) 及び (7) の E X O R 出力信号 (1 1) とがそれぞれ求められる。この E X O R 出力信号 (1 0) と (1 1) との関係も、図 5 の (a) の E X O R 出力信号 (8) と (7) (本例では (8) と (9)) との関係と同様なレベル差が生じる。従って、それらの O R 出力信号 (1 2) 及び (1 3) もまた同様なレベル差を有している。また、図 1 9 に示すクロック信号が進んでいる場合も O R 出力信号 (1 2) 及び (1 3) には図 5 の (b) と同様なレベル差を生じる。従って、図 1 7 の回路構成で図 3 と同じ位相制御が可能なが分かる。図 2 0 及び 2 1 には図 6 及び 7 に対応する位相関係 A と位相関係 B のタイミングチャートをそれぞれ示している。図 2 1 から明らかなように本実施例では必ず一方が位相関係

Aとなることわかる。従って、図20及び21のいずれもOR出力信号(12)及び(13)には位相制御可能なレベル差が生じている。

このように、データ信号のビットレートの $1/2$ の周波数のクロック信号を抽出するPLLを用いたクロック抽出回路において、入力信号パターンの中で1100が連続する場合でも、本発明のクロック抽出回路を用いることにより安定したPLL動作を実現することができる。また $1/2$ クロック抽出回路の採用により、デバイスへの高速特性の要求を緩和することができる。

図22は、本発明の第3の実施例を示したものであり。図23は、図22における各括弧内の記号に対応する点の動作例を示したタイミングチャートである。本実施例では、光受信機30において、受信したデータ信号のデューティの広狭を判別し、自動で受信データの識別位相を制御する。

図22及び27において、引用符号に2xxが付されている各回路ブロックが本例のために新たに付加されたものであり、それ以外は先に説明した図3の $1/2$ クロック抽出方式の回路構成と同様である。以下では、新たに付加された部分を中心にその動作について説明する。受信データ信号(A)は、2つの識別回路を構成するD-フリップ/フロップ51及び52に入力され、PLL回路からのクロック立ち上がり/立ち下がりエッジ信号にそれぞれ同期した信号(B)及び(C)が生成される。受信データ信号(A)は、またD-フリップ/フロップ53及び新たに付加されたD-フリップ/フロップ203にも入力される。PLL回路からのクロック信号は $1/4$ クロック周期の固定遅延を与える遅延回路54と後述する比較器208の出力で制御される可変移相器201、202とを介して前記D-フリップ/フロップ53及び203に与えられ、D-フ

リップ／フロップ 5 3 からは可変位相 ϕ が加算されたクロック信号 (G) の立ち上がりエッジ信号に同期した信号 (D) が得られ、そして D-リップ／フロップ 2 0 3 からは可変位相 ϕ が減算されたクロック信号 (H) の立ち上がりエッジ信号に同期した信号 (I) が得られる。

EXOR 回路 4 5 及び 4 6、ローパスフィルタ 4 8 及び 4 8'、比較器 4 7 は図 3 及び 5 の従来例と同様に動作し、従って PLL 回路はクロック信号 (G) の立ち上がりエッジ信号が受信データ信号 (A) の切り替わりエッジと一致するように動作する。なお、2 つのローパスフィルタ 4 8 及び 4 8' は、図 3 における共通のループフィルタ 4 8 を比較器 4 7 の各入力側に個別に設けたものであり PLL 回路の動作自体に相違はない。一方、新たに付加された EXOR 回路 2 0 4 及び 2 0 5、ローパスフィルタ 2 0 6 及び 2 0 7、比較器 2 0 8 は、受信データ信号 (A) のデューティの広狭を判別し、次段の可変移相器 2 0 1 及び 2 0 2 の位相遷移量を可変することで受信データの識別位相を自動で制御する。ここで EXOR 回路 2 0 4 からは同期信号 (B) と (I) との排他的論理和の出力信号 (E) が、また EXOR 回路 2 0 5 からは同期信号 (C) と (I) との排他的論理和の出力信号 (F) が得られる。

図 2 3 には、比較器 2 0 8 の出力で可変移相器 2 0 1 及び 2 0 2 を制御する以前の状態 (ϕ 及び $-\phi = 0$) におけるタイミングチャート例を示している。従って、PLL が同期している状態ではクロック信号 (G) の反転信号であるクロック信号 (H) の立下りエッジ信号が受信データ信号 (A) の切り替わりエッジと一致する。図 2 3 の (a) は、PLL が受信データ信号 (A) のデューティ“狭” → “広” の変化点に同期した場合を示している。この場合、同期信号 (B) と (I) との排他的論理和である出力信号 (E) の平均

信号レベル（ローパスフィルタ 206 の出力）が高く、同期信号（C）と（I）との排他的論理和の出力信号（F）の平均信号レベル（ローパスフィルタ 207 の出力）がそれよりも低くなる。一方、図 23 の（b）は、PLL が受信データ信号（A）のデューティ“広”→“狭”の変化点に同期した場合を示している。この場合は、図 23 の（a）とは反対に同期信号（B）と（I）との排他的論理和である出力信号（E）の平均信号レベル（ローパスフィルタ 206 の出力）が低く、同期信号（C）と（I）との排他的論理和の出力信号（F）の平均信号レベル（ローパスフィルタ 207 の出力）がそれよりも高くなる。このように、この 2 つの平均信号レベルの差を次段の比較器 208 で検出することにより、PLL が受信データ信号（A）のデューティ“狭”→“広”又は“広”→“狭”のいずれの変化点に同期しているかが判断できる。

図 24 は、図 23 の（a）に示すデューティ“狭”→“広”の変化点に同期した場合において可変移相器 201 及び 202 によるクロック信号（G）及び（H）の本願発明動作の一例を示したものである。（i）の初期状態では図 23 の（a）と同じく ϕ 及び $-\phi = 0$ であるからクロック信号（G）の反転信号がそのままクロック信号（H）となる。この場合、図 23 の（a）で述べたように排他的論理和信号（E）の平均信号レベル > 排他的論理和信号（F）の平均信号レベルであり、比較器 208 は（ii）に示すように可変移相器 201 を制御してデューティ“狭”から位相量 Φ を減少（ $T/2 - \Phi$ ）させたクロック信号（G'）を生成し、反対に可変移相器 202 を制御してデューティ“広”に位相量 Φ を加算（ $T/2 + \Phi$ ）したクロック信号（H'）を生成する。その結果、（iii）に示すように PLL はクロック信号（G'）を再同期するように制御するため、再同期したクロック信号（G''）の前後のデータ識別信号

(サンプリング信号)は各々“狭”、“広”データビット幅の中央側へシフトされる。

このように、デューティ“狭”→“広”又は“広”→“狭”に応じた比較器208の出力信号により、D-フリップ／フロップ53及び203に入力されるクロック信号(G)及び(H)がそれぞれ逆向きに遷移し、さらにPLLによって前記クロック信号(G)が再同期されることによって、データ識別位相が自動且つ最適制御される。この動作は、比較器208の出力が反転するまで繰り返され、最終的に識別位相はデューティのずれた受信波形の中心に制御される。初期位相のデューティが“広”→“狭”の間に同期した場合も同様である。但し、可変移相器201による位相量 Φ の加減の関係が上記とは逆になる。

図25及び26は、図22の第3の実施例の具体的な適用例を示したものである。図25では、図22における2つの可変移相器201及び202に代えて、1つのデューティ調整回路209を使用している。図26には、デューティ調整回路209の一構成例を示しており、ここでは比較器208の出力信号によって単にクロック信号の直流バイアスを可変させている。D-フリップ／フロップ53及び203の側の入力論理判定閾値は一定であるから直流バイアスを変更することでクロック信号のデューティが可変される。図25に示すように単に直流バイアスを可変させたクロック信号はそのままD-フリップ／フロップ53のクロック信号(G)とD-フリップ／フロップ203の反転クロック信号(H)を逆位相の関係(ϕ と $-\phi$)で変化させる。

図27～33は、本発明の第4の実施例を示したものである。ここで、図27は本発明の第4の実施例の基本構成を、そして図28は図27における各括弧内の記号に対応する点の動作例を示したタ

イミングチャートである。図 2 9 以降は、その具体的な適用例を示している。本実施例では、光受信機 3 0 において、デューティの広狭を判別して初期位相設定と合致するようにする。

図 2 7 に示すように、本実施例の基本構成は図 2 2 と同様である。すなわち、D フリップ／フロップ 2 0 3、E X O R 回路 2 0 4 及び 2 0 5、ローパスフィルタ 2 0 6 及び 2 0 7、比較器 2 0 8 により受信データ信号 (A) のデューティの広狭を判別する。但し、本例ではそれにより受信データの識別位相を自動制御することは行なわず、簡易な措置としてデューティの“広”→“狭”間又は“狭”→“広”間のいずれかの一方を初期位相とする初期位相設定を行なう。その初期調整情報を新たに設けた比較器 2 1 0 の基準電位として与える。それにより、例えば初期位相設定を“広”→“狭”間とした場合、光受信機 3 0 の電源オン等によって P L L が初期位相設定と同じ“広”→“狭”間にロックすると比較器 2 1 0 の出力は低レベルを維持し、P L L が初期位相設定と異なる“狭”→“広”間にロックすると比較器 2 1 0 の出力は高レベルになる。このレベル信号はスイッチ 2 1 1 を介してインバータ 2 1 2 を制御し、初期位相設定と異なる“広”→“狭”間にロックした時に V C O 5 0 からのクロック信号を反転させる。これにより、P L L は初期位相設定と同じ“広”→“狭”間にロックすることになる。上記動作は位相同期確立後に 1 回のみ行われれば良いので、本例ではマニュアル操作やプログラム制御による操作スイッチ 2 1 1 が設けられ、同期検出後に 1 度だけスイッチを O N する。図 2 8 には、初期位相設定を“広”→“狭”間とした場合であって、図 2 8 の (a) は初期位相設定とは異なる“狭”→“広”間に初期位相がロックされた場合を示しており、図 2 8 の (b) は比較器 2 1 0 の出力によりインバータ 2 1 2 を有効にしてクロック信号を反転させ、その結果初期位

相設定と同じ“広”→“狭”間にロックさせた場合を示している。

図 29～31 には 3 通りの初期位相の調整構成例を示している。いずれも図 3 の従来構成を基本にして $T/2$ 遅延したクロックの立ち上がりエッジが常時受信データ信号 (A) の切り替わりエッジと一致する同期を維持した状態で調整を行なう。図 29 ではデータ信号を識別するクロック信号とその反転クロック信号の識別位相を独立且つ厳密に調整できるように移相器 213 が D-フリップ/フロップ 52 のクロック信号にのみ与えられている。また、D-フリップ/フロップ 52 及び 51 相互間の出力信号 (B) 及び (C) の位相の調整は別の可変遅延回路 54' で行なう。また、図 30 には先に図 25 及び 26 で説明したと同様のデューティ調整回路 214 を使用してデータ信号を識別するクロック信号とその反転クロック信号との間の識別位相を可変する構成を示している。図 31 は、D-フリップ/フロップ 52 の受信データ信号 (A) の入力側だけに可変移相器 215 を設けることで図 29 と同様な効果を得るための構成を示している。図 32 の (a) には図 29 及び 30 のタイミングチャート例を、そして図 32 (b) には図 31 のタイミングチャート例をそれぞれ示している。これらの初期調整と図 27 の第 4 の実施例との組合せにより、簡便に受信データ信号のデューティの“広”→“狭”間又は“狭”→“広”に対処することができる。

図 33 は、本発明の第 5 の実施例を示したものである。ここでは、光送信機 10 の側に、先に説明した図 8 の 2 : 1 多重回路にクロック波形のデューティを補償するデューティ補償回路 221 又は 222 を設けている。これにより、送信波形自体の 1 ビット置きのデューティずれをなくすことができる。図 34 及び 39 にはデューティ補償回路 221 又は 222 の具体的な回路構成例を示している。図 34 では簡易な RC 平均値検出回路 224 で送信データ信号の平

均値を検出することにより直流バイアスを可変し、それによって送信波形のデューティを補償する。また、図 3 5 では簡易なバンドパスフィルタ 2 2 6 と直流カットの容量結合 2 2 7 を用いてクロック信号のデューティを補償する。

以上述べたように、本発明によれば、本発明のクロック抽出回路を用いることにより、デバイスの高速特性の改善を必要とせずに、より高速な光受信回路を早期に実現することができる。また本発明によれば光送信機にデータ伝送速度のクロックによる波形整形を行わない構成において発生する 1 ビット置きのデューティのずれに伴う識別位相ずれによる誤り率劣化を抑圧することができる。

請 求 の 範 囲

1. ビットレート B (bit/s) のデータ信号と $B/2$ (Hz) のクロック信号との位相比較を $2/B$ (sec) 間隔で行う位相比較回路を含む PLL 回路を用いたタイミング抽出回路であって、前記タイミング抽出回路は、

所定パターンのデータ信号の受信により位相比較回路からの位相比較情報出力が無くなったことを検出する検出回路と、

その検出により同期を保持するためにクロック信号の位相を制御する制御回路と、を有することを特徴とするタイミング抽出回路。

2. 前記制御回路は、クロック信号を反転することにより、クロック信号の位相を制御する請求項 1 記載の回路。

3. 前記制御回路は、VCO を制御することによりクロック信号の位相を制御する請求項 1 記載の回路。

4. ビットレート B (bit/s) のデータ信号と $B/2$ (Hz) のクロック信号との位相比較を $2/B$ (sec) 間隔で行う位相比較回路を含む PLL 回路を用いたタイミング抽出回路であって、全てのデータ信号の位相比較のためにデータ信号の 1 周期分 ($1/B$ sec) だけ比較位相の異なる 2 つの位相比較回路を有すること、を特徴とするタイミング抽出回路。

5. ビットレート B (bit/s) のデータ信号と $B/2$ (Hz) のクロック信号との位相比較を $2/B$ (sec) 間隔で行う位相比較回路を含む PLL 回路と、

前記 PLL 回路が同期した点前後の入力データ間のデューティを判定するデューティ判定回路と、

前記判定結果にもとづいて、前記 PLL 回路が同期した点前後のデータ識別位相を制御する制御回路と、

で構成することを特徴とする光受信機のデューティずれ対応回路。

6. 前記制御回路は、初期位相調整時のデューティ情報が設定された初期位相設定回路を有し、

前記初期位相設定回路は、初期位相調整時のデューティ情報と前記デューティ判定回路の出力とを比較し、初期位相調整時のデューティ情報と同じ状態で位相同期していればその状態を維持し、初期位相調整時のデューティ情報と異なる状態で位相同期していれば、前記PLL回路の電圧制御発振器のクロック出力を反転させる、請求項5記載の回路。

7. 前記PLL回路は、入力データをデータ伝送速度の $1/2$ 周波数のクロック信号とその反転クロック信号を用いて1ビット置きに識別し、データ信号の $1/2$ 周期分の位相を遅延させたクロック信号により識別したデータと前記クロック信号と反転クロック信号で識別したデータとのそれぞれ排他的論理和の平均値を比較した結果に応じて位相同期し、

前記デューティ判定回路は、前記データ信号の $1/2$ 周期の位相を遅延させたクロック信号の反転クロック信号で識別したデータと前記クロック信号と反転クロック信号で識別したデータとのそれぞれ排他的論理和の平均値を比較した結果により、前記PLL回路が同期した点前後の入力データ間のデューティ“狭”→“広”又は“広”→“狭”を判定し、

前記制御回路は、前記判定結果にもとづいて、データ信号の $1/2$ 周期の位相を遅延させたクロック信号とその反転クロック信号の位相とをそれぞれ逆方向に制御する、請求項5記載の回路。

8. データ信号の $1/2$ 周期の位相を遅延させたクロック信号の位相とクロック信号の位相とを各々独立に調整することで、データ信号を識別するクロック信号とその反転クロック信号の識別位相を

独立に調整する、請求項 7 記載の回路。

)

)

要 約 書

光送受信機に関し、特にデータ伝送速度の $1/2$ 周波数クロックを用いる光受信機の改良されたタイミング抽出回路及び光送受信機のデューティずれ対応回路を提供する。タイミング抽出回路は、ビットレート B (bit/s) のデータ信号と $B/2$ (Hz) のクロック信号との位相比較を $2/B$ (sec) 間隔で行う位相比較回路を含む PLL 回路を用い、所定パターンのデータ信号の受信により位相比較回路からの位相比較情報出力が無くなったことを検出する検出回路と、その検出により同期を保持するためにクロック信号の位相を制御する制御回路と、を有する。さらに、デューティずれ対応回路は、PLL 回路が同期した点前後の入力データ間のデューティの判定結果にもとづいて前後のデータ識別位相を制御する。

Fig.1

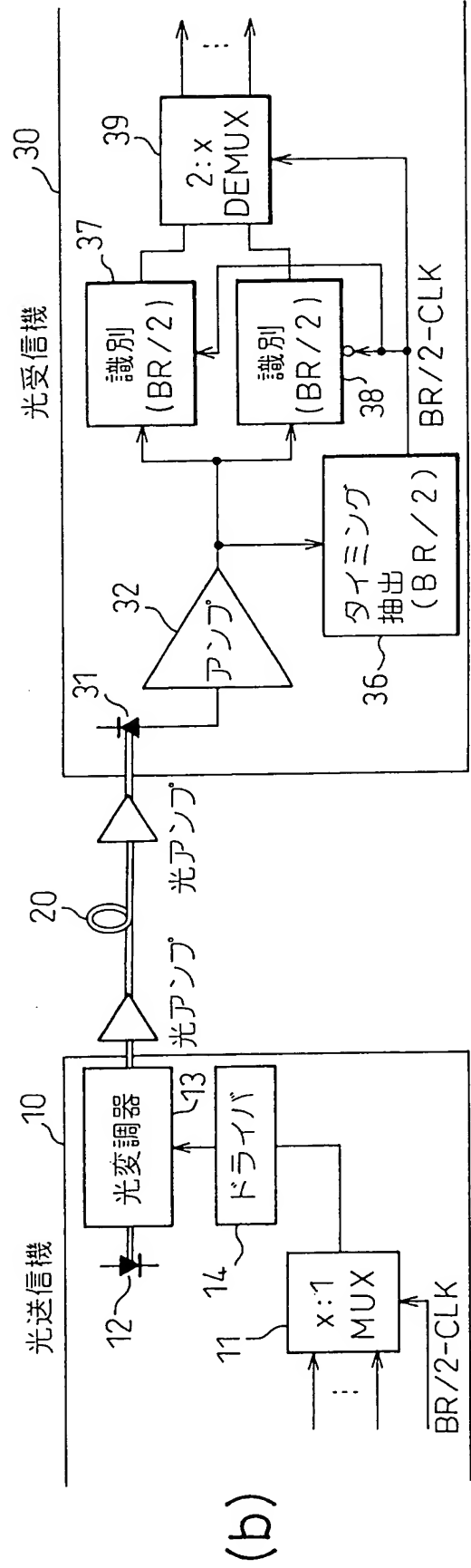
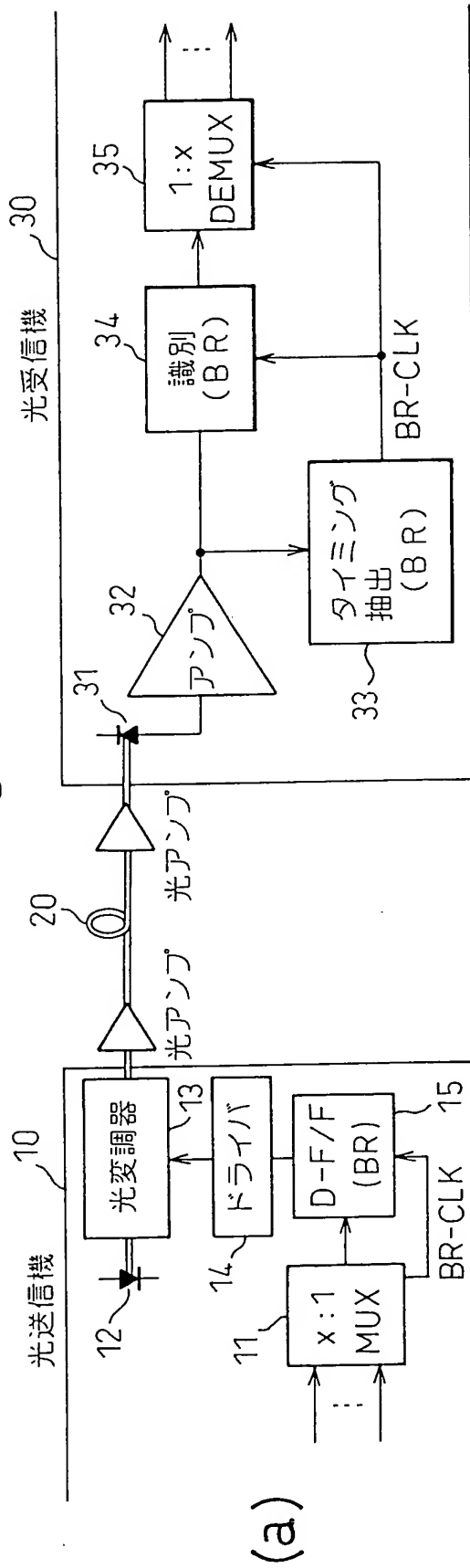


Fig. 2

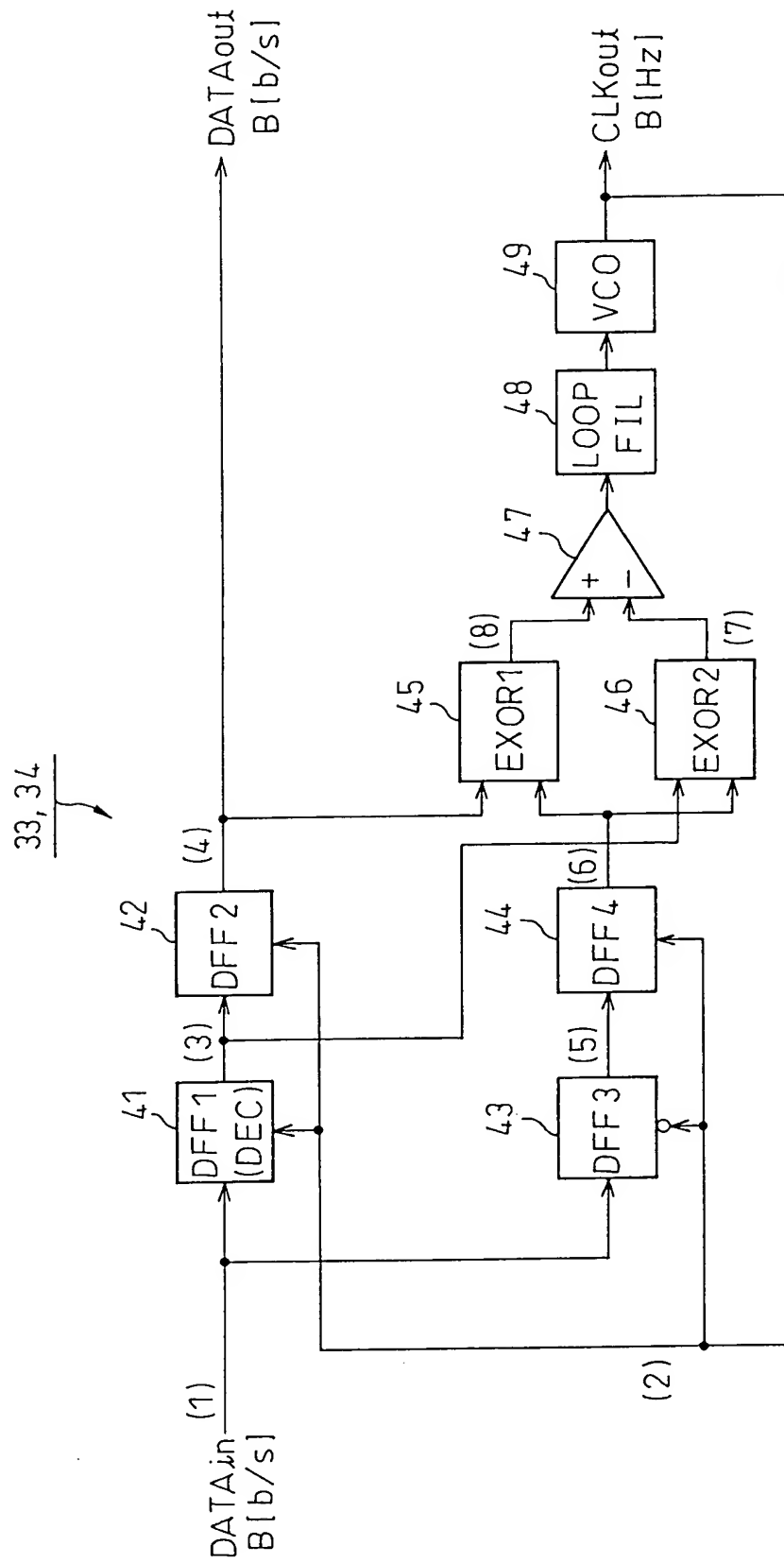


Fig. 3

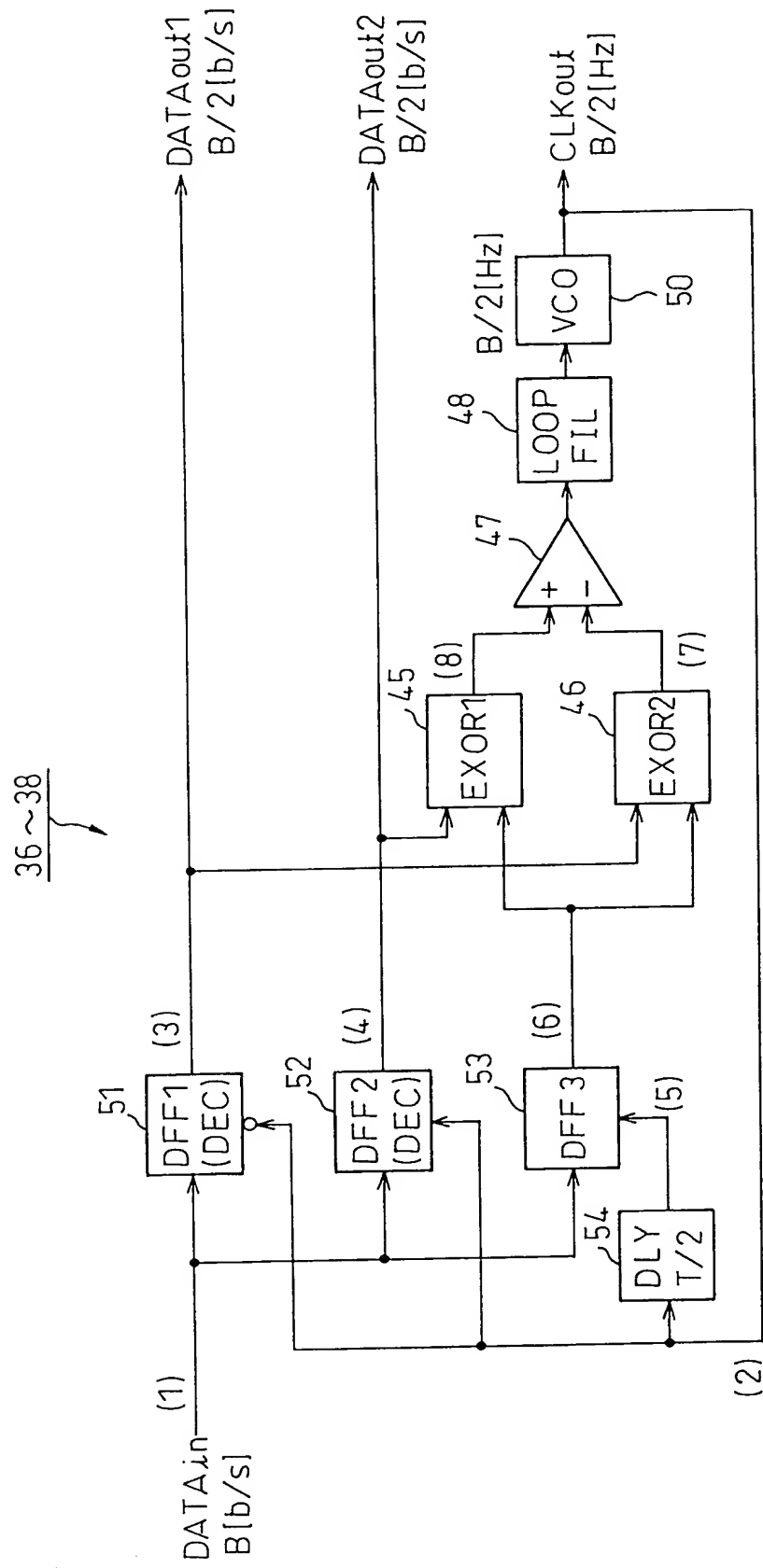


Fig. 4

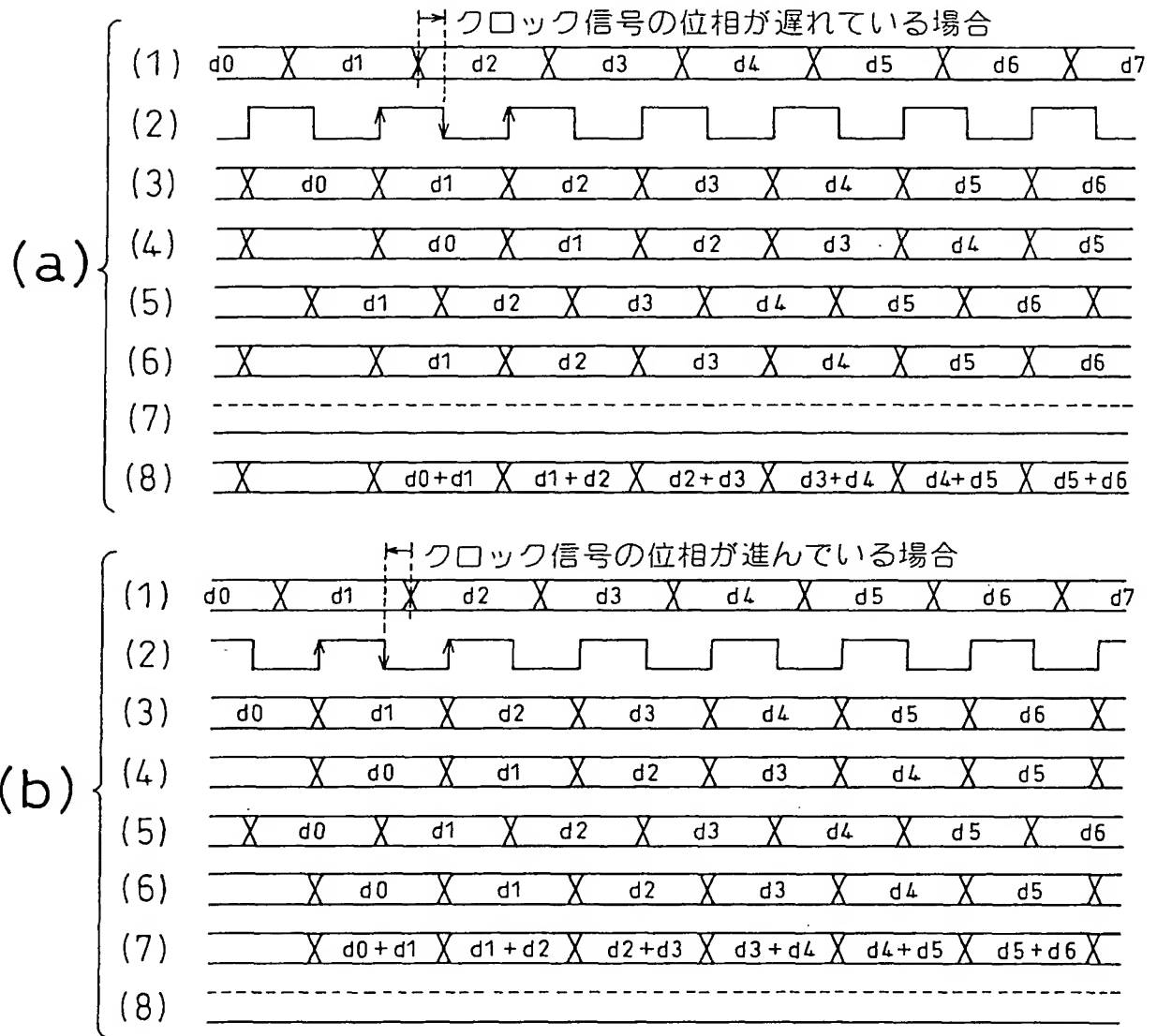


Fig.5

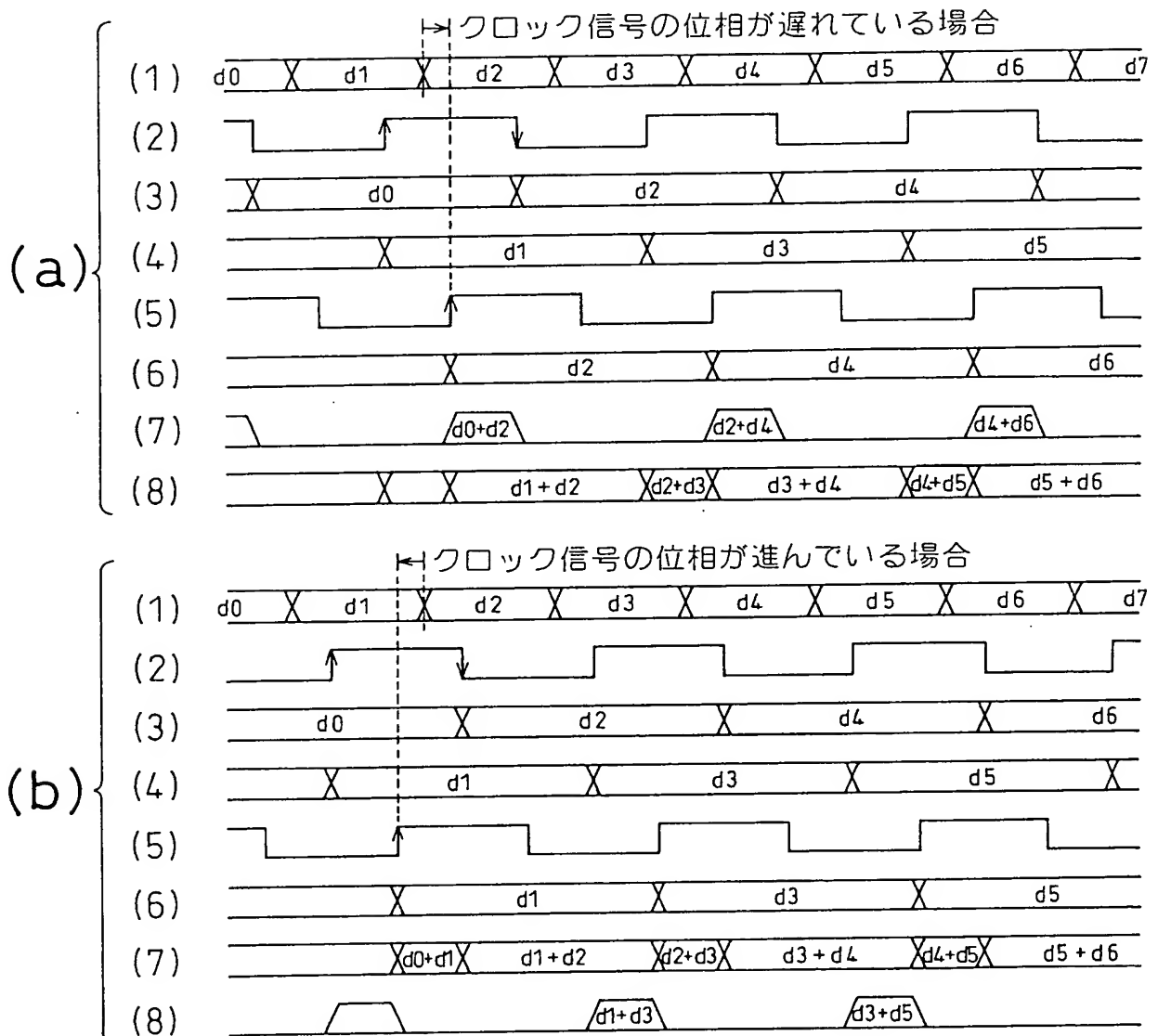


Fig.6

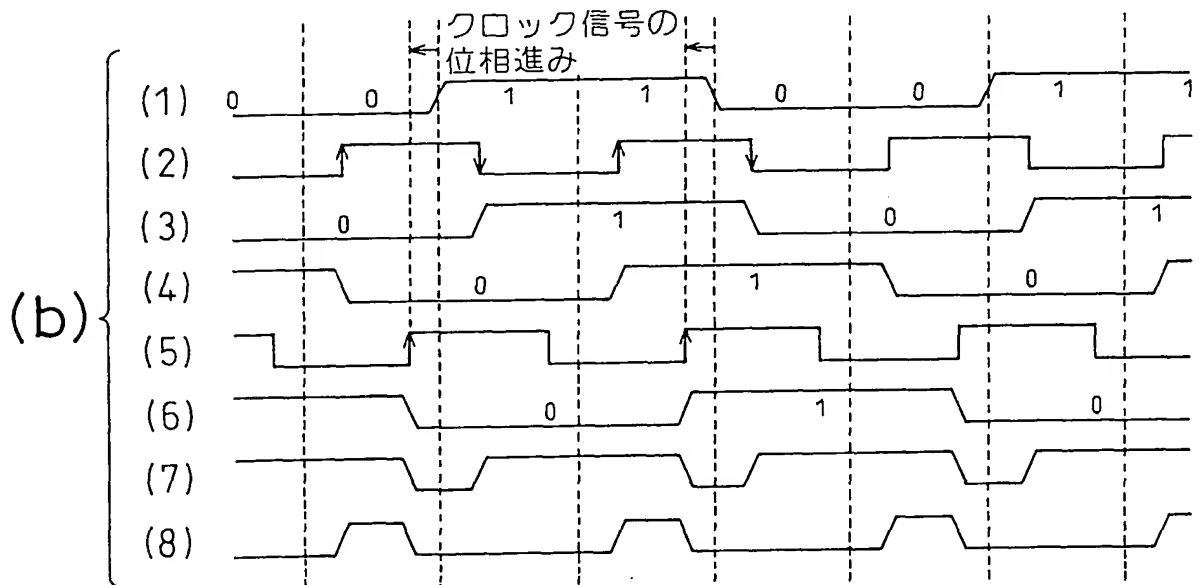
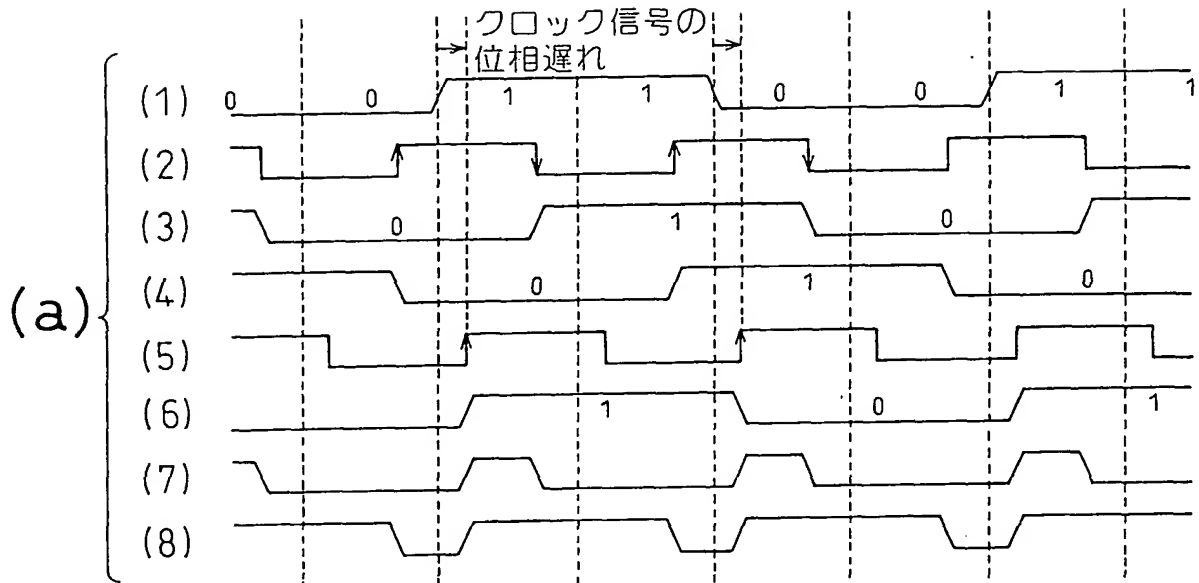


Fig.7

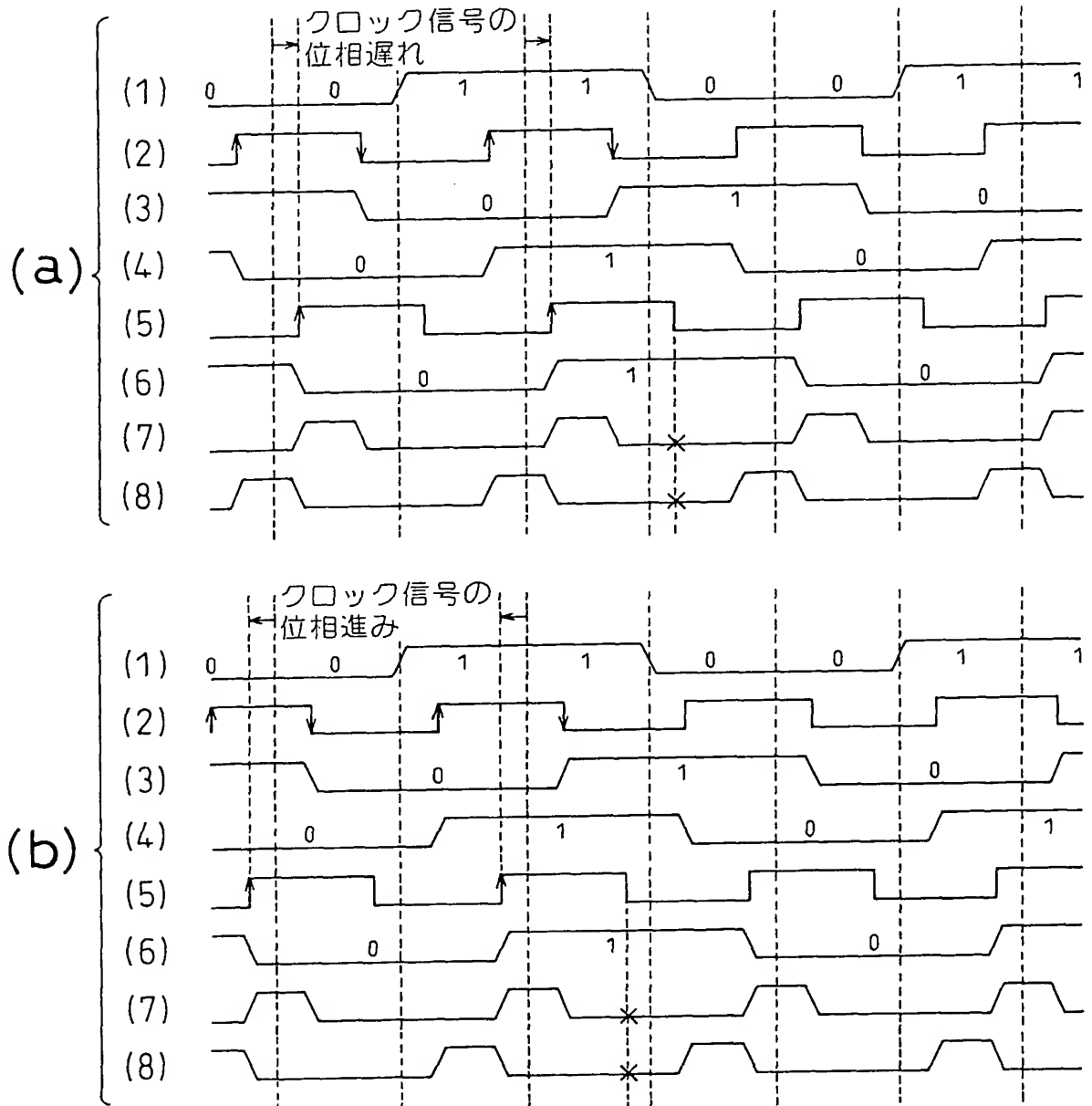


Fig.8

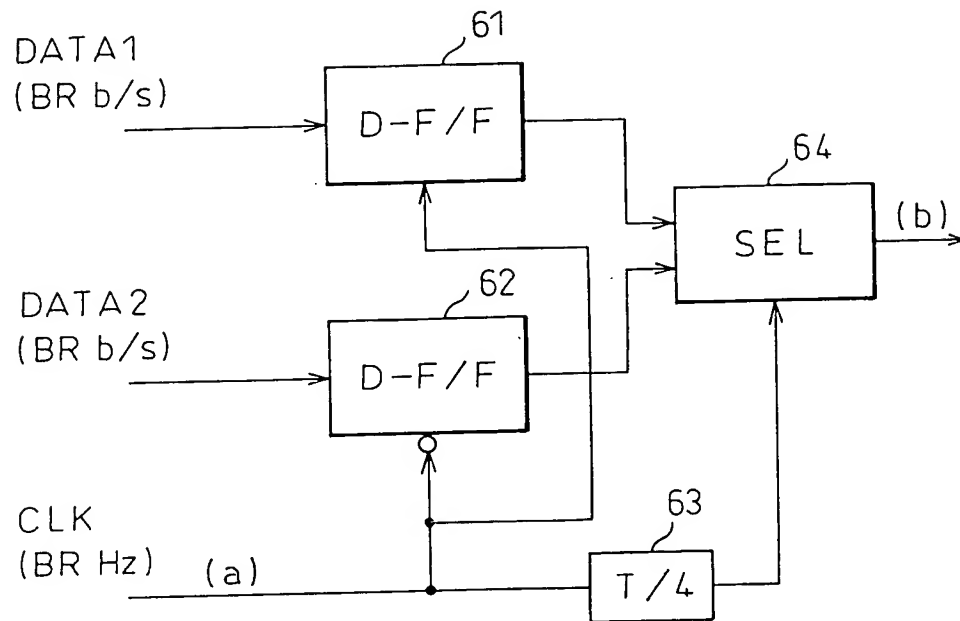


Fig.9

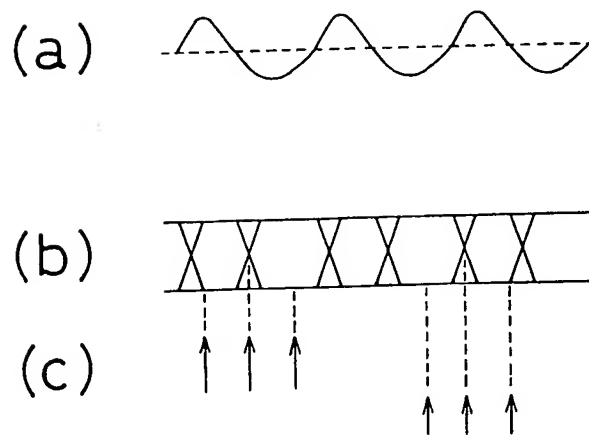


Fig. 10

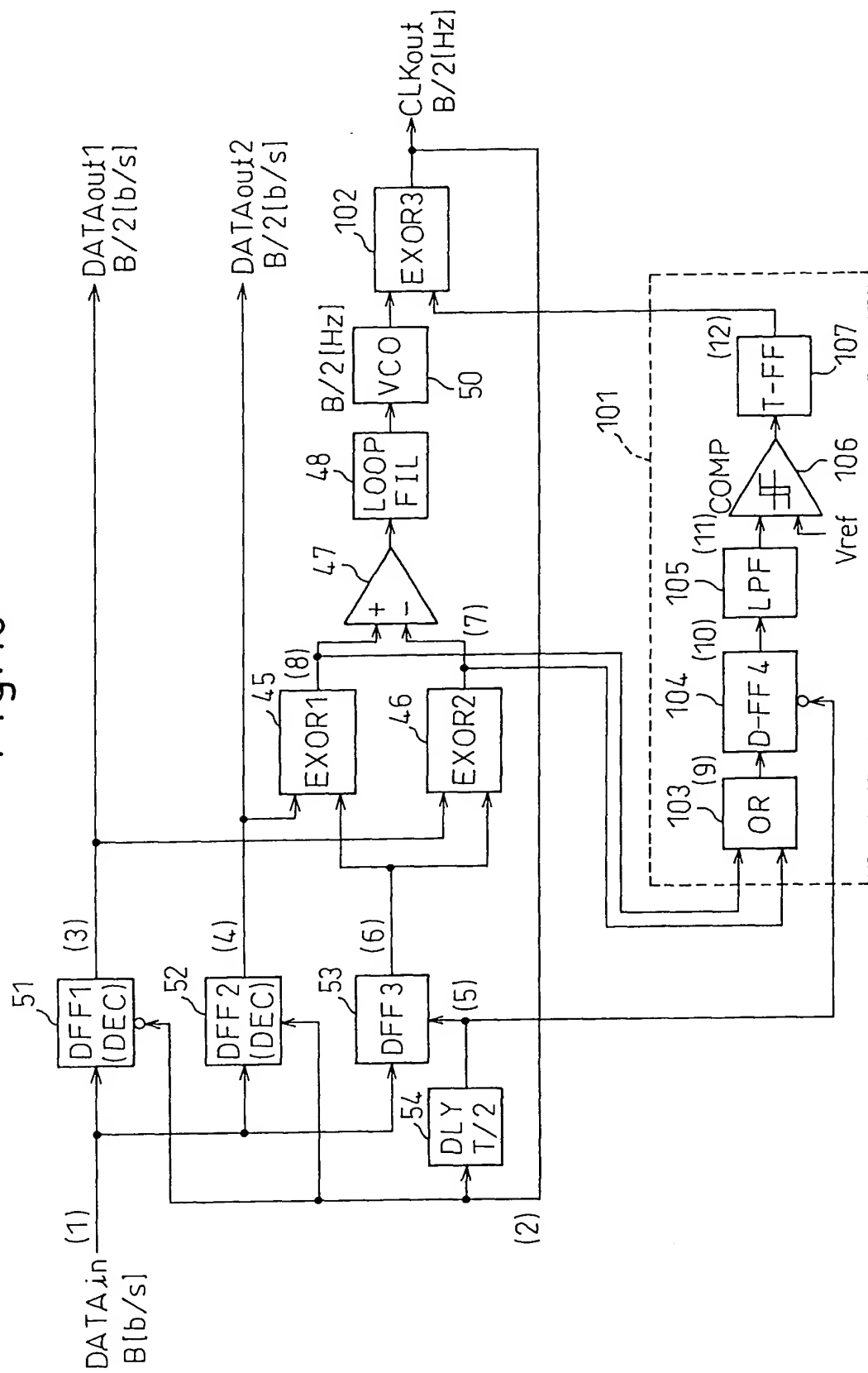


Fig.11

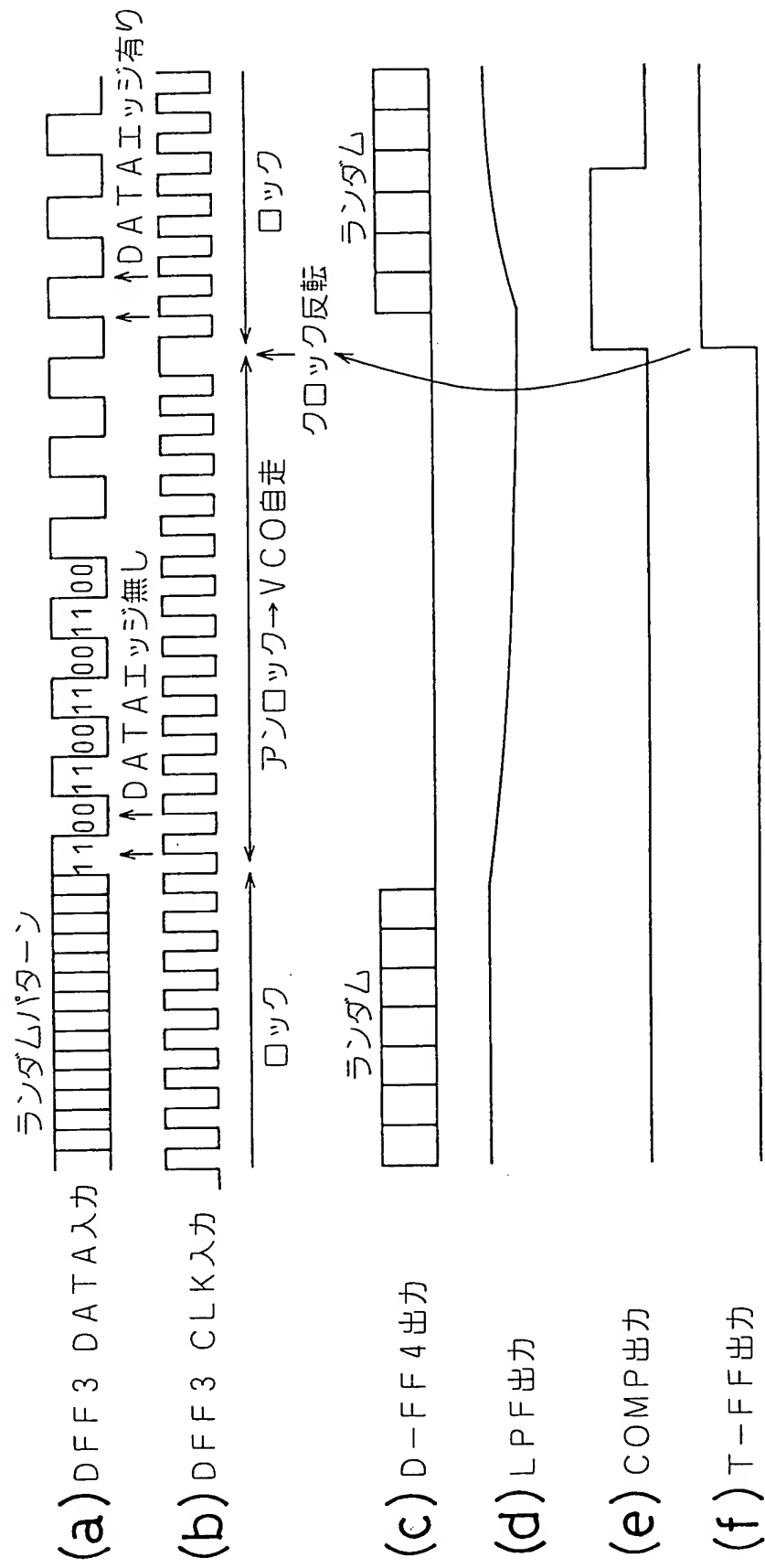


Fig.12

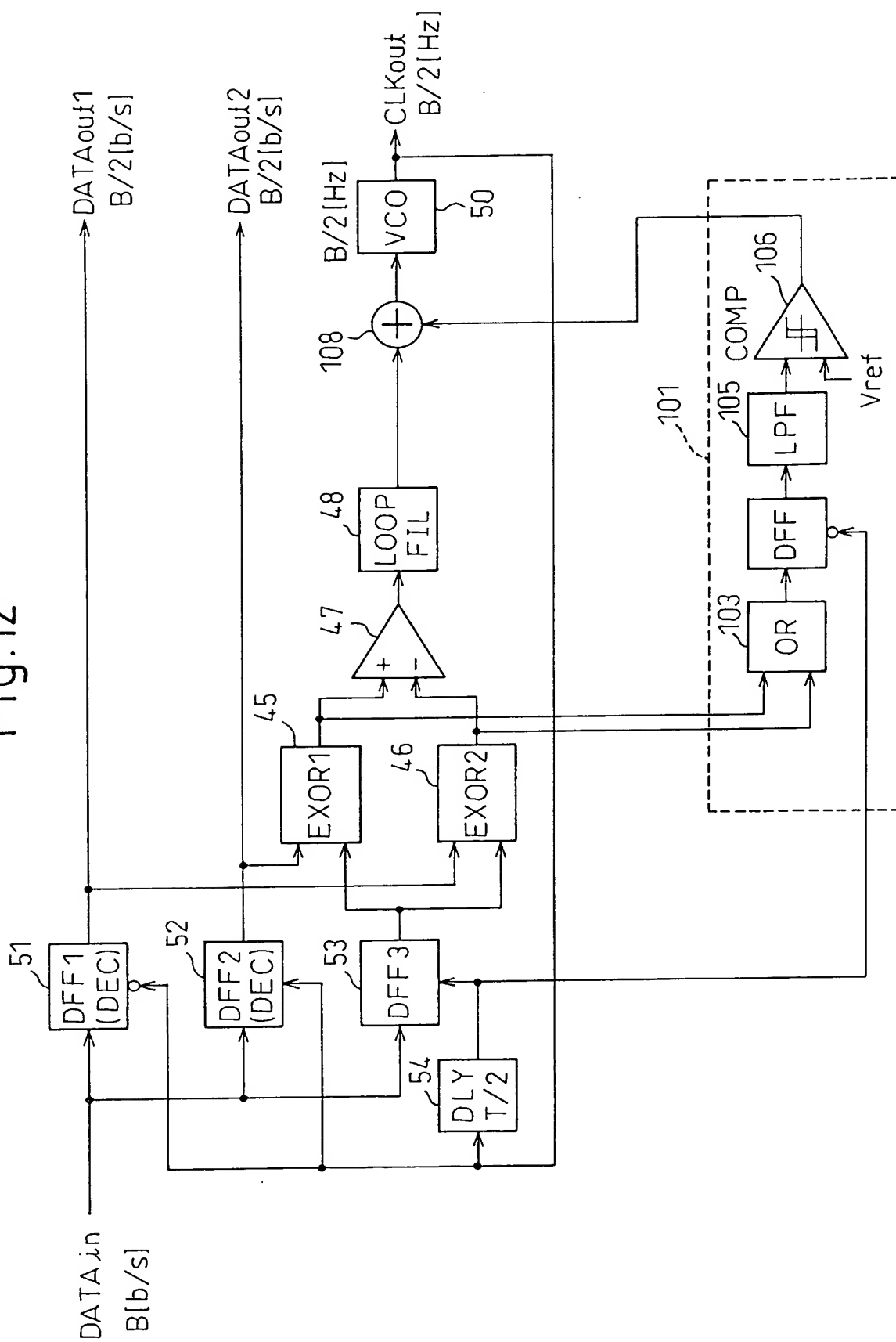


Fig.13

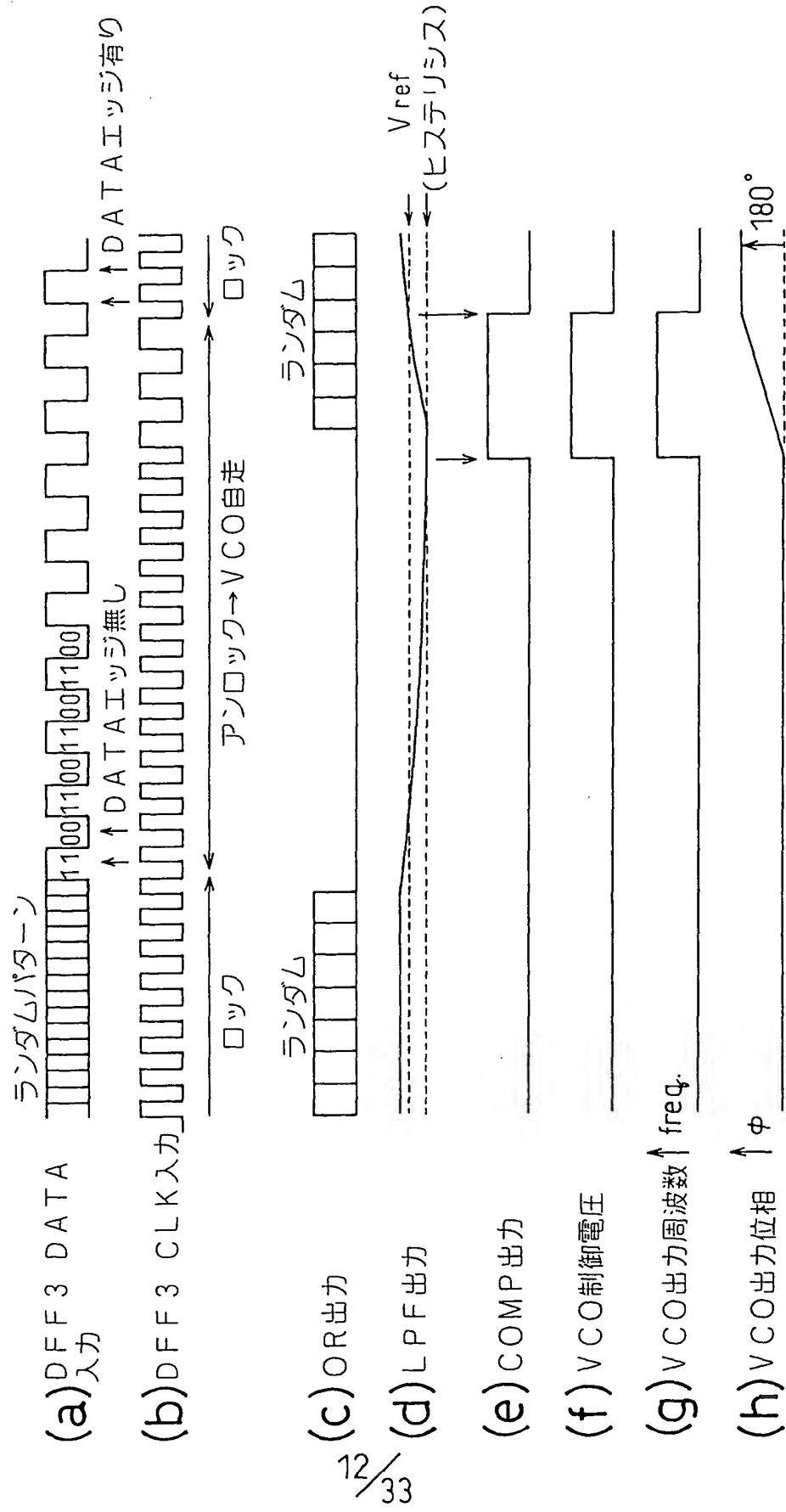


Fig.14

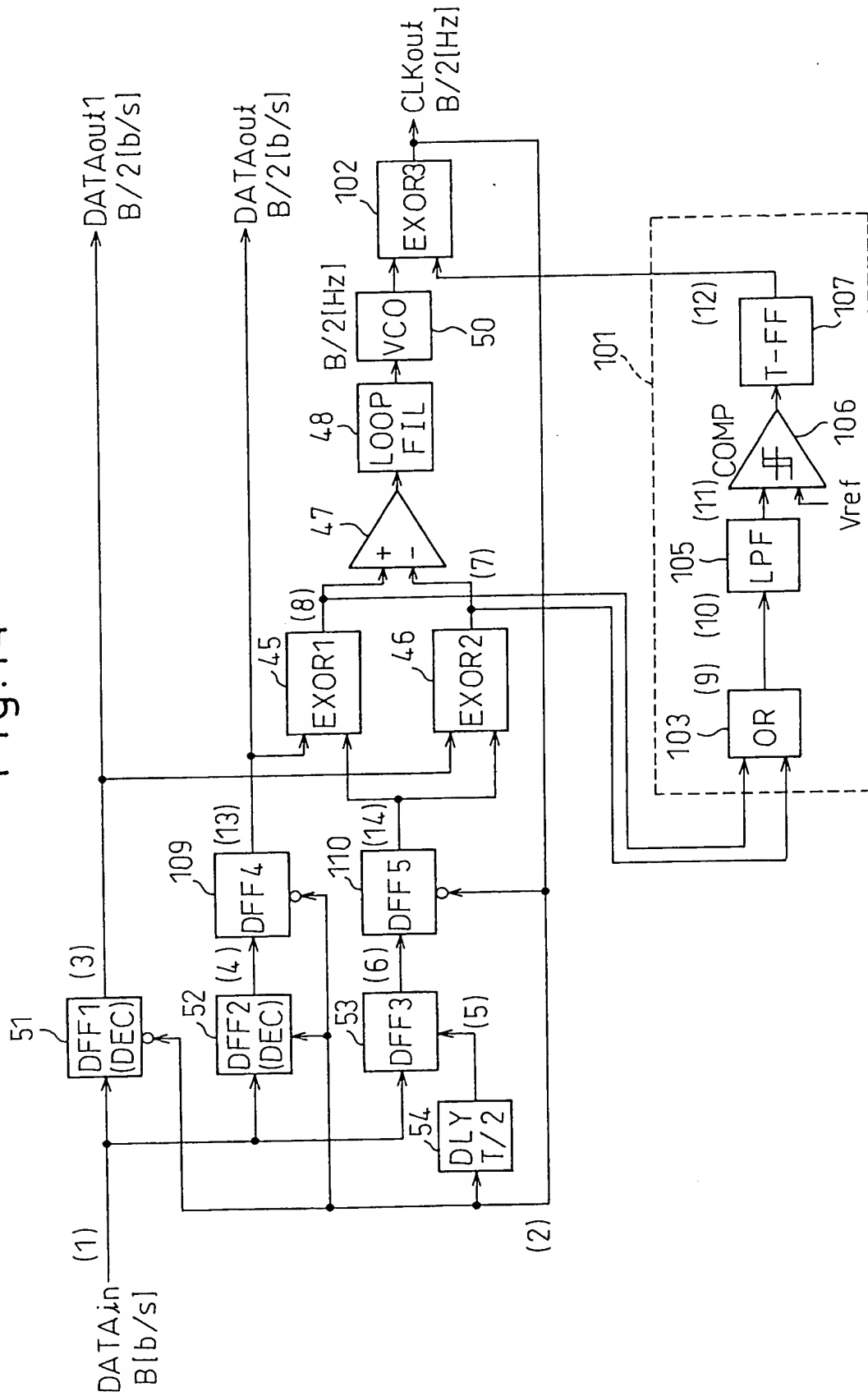


Fig.15

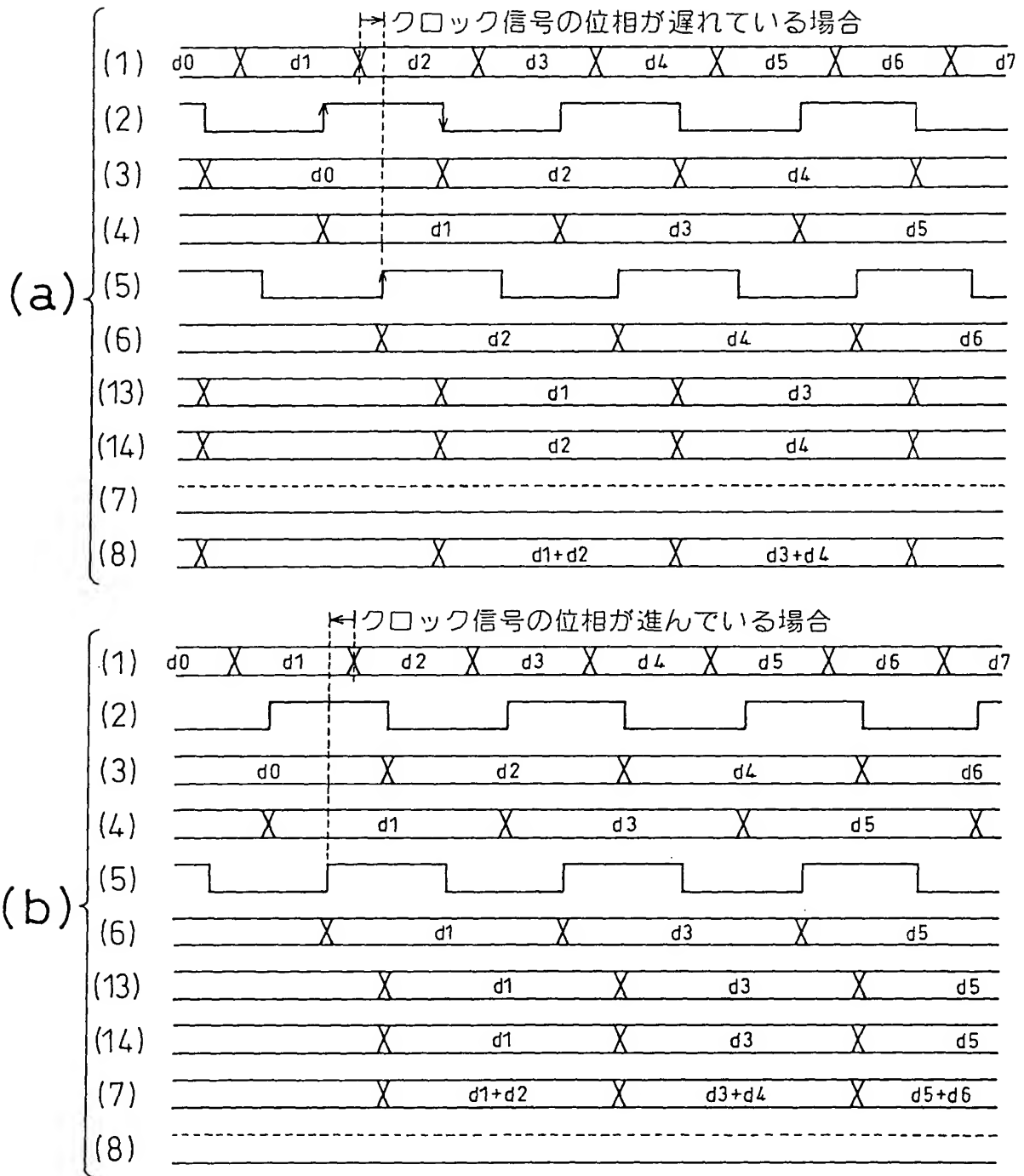


Fig.16

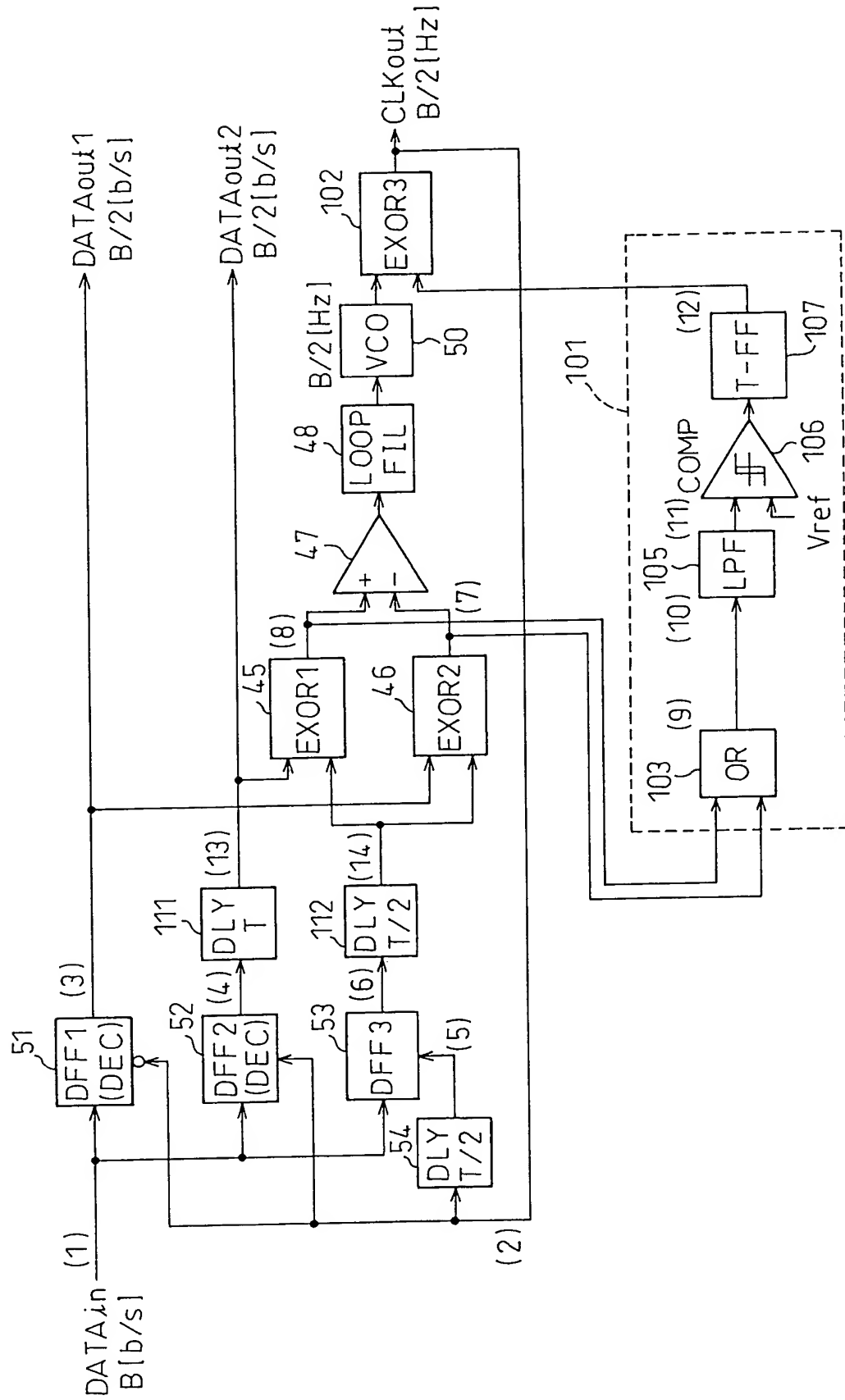


Fig.17

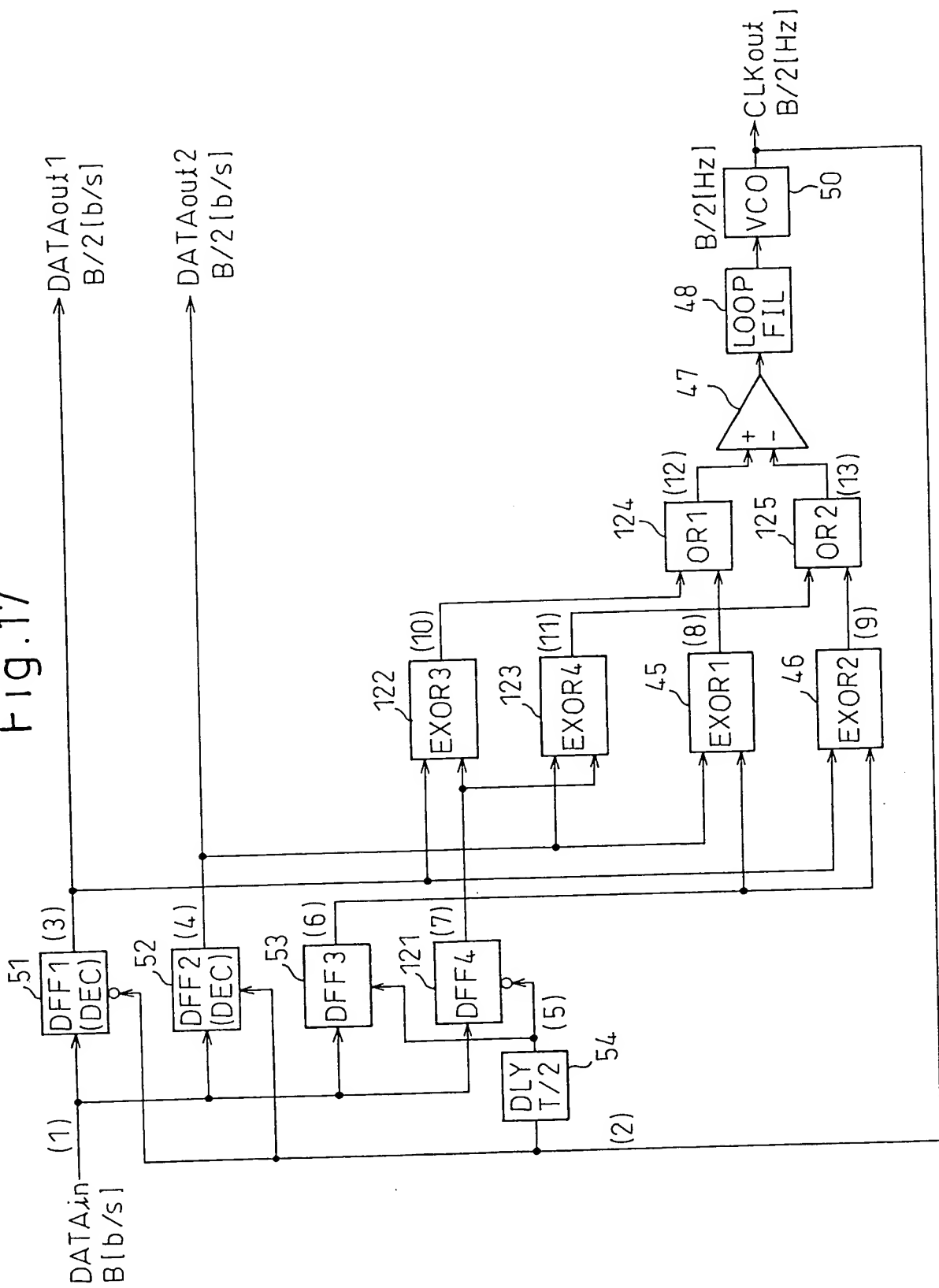


Fig.18

→クロック信号の位相が遅れている場合

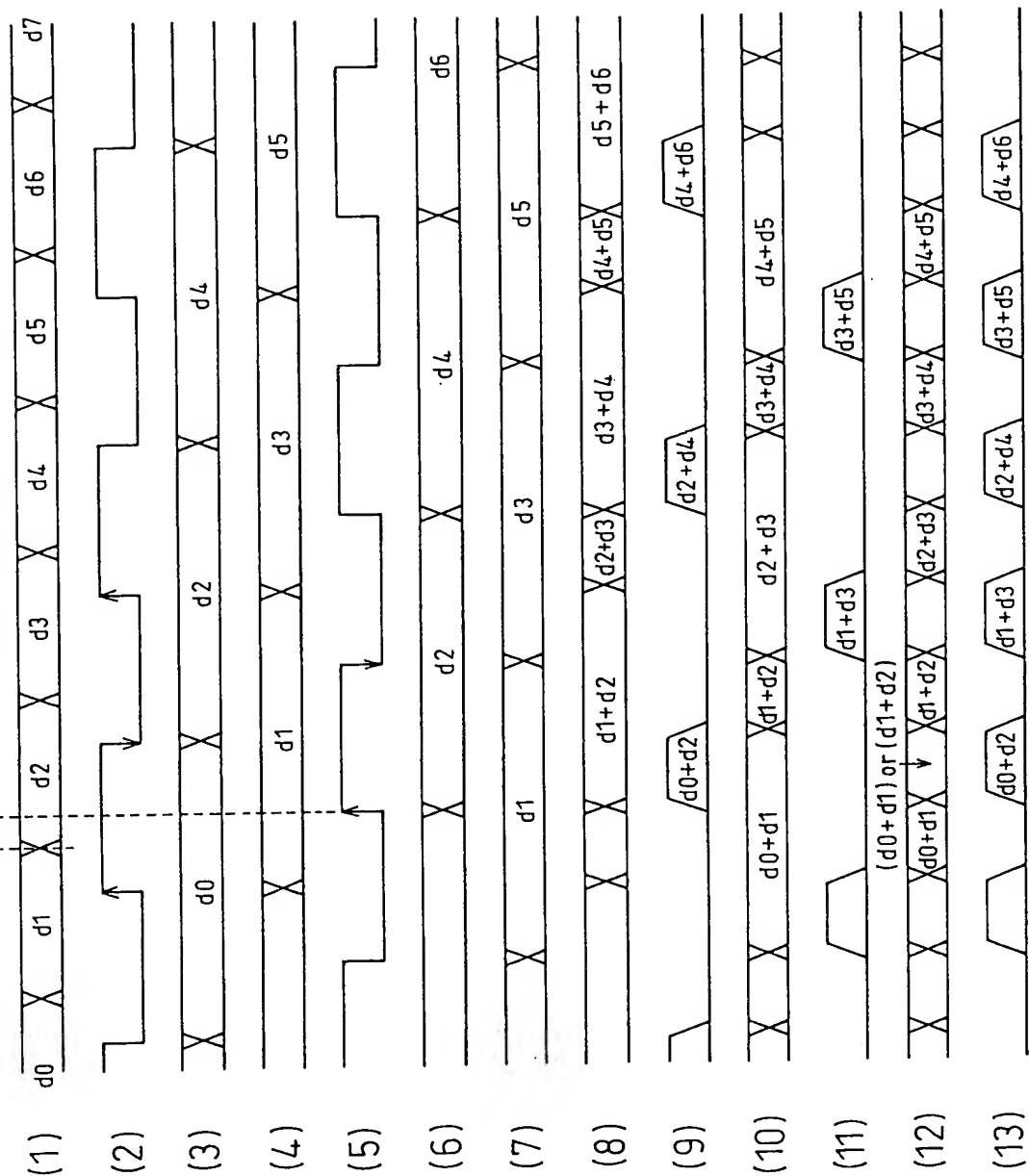


Fig.19

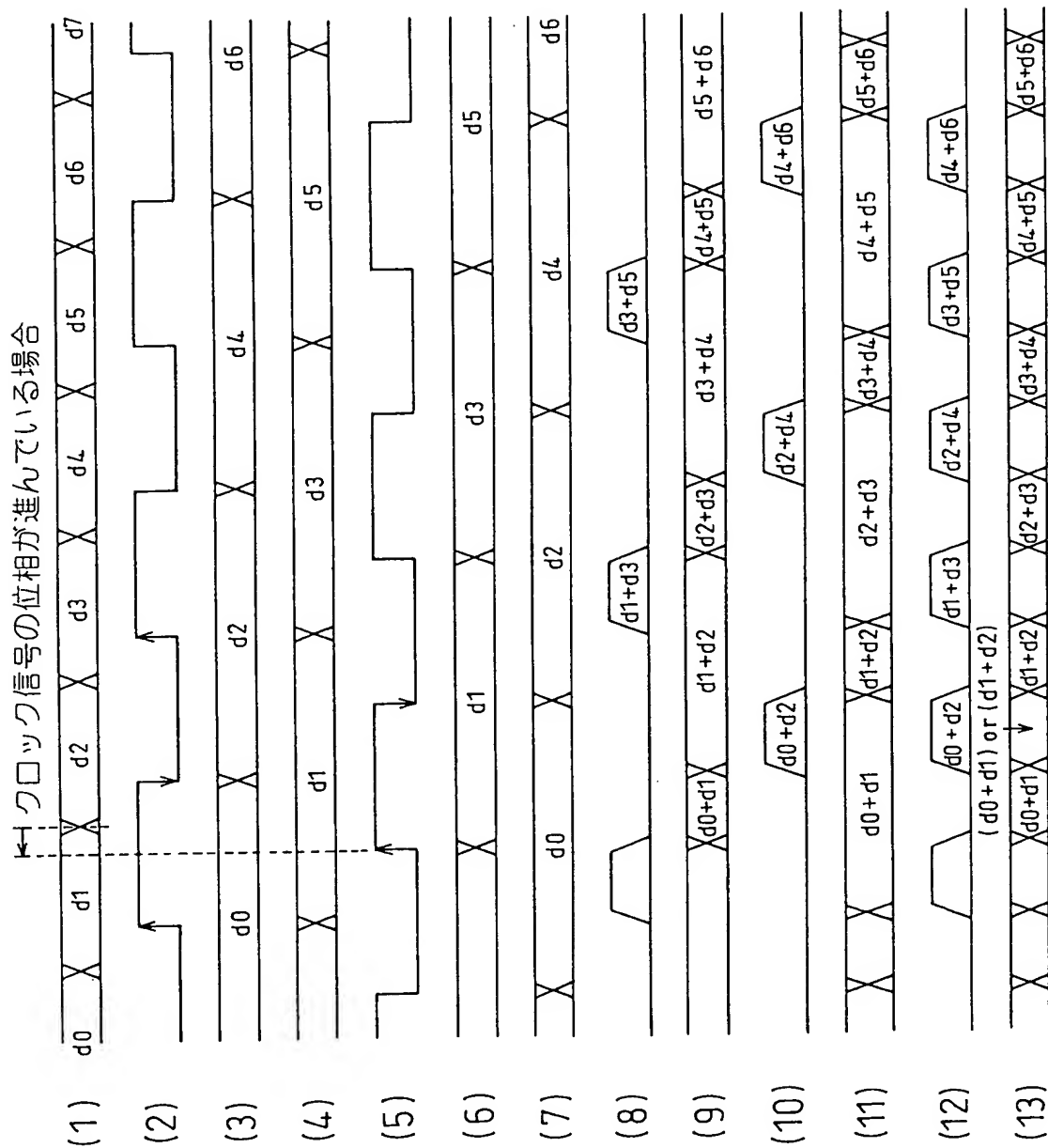


Fig.20

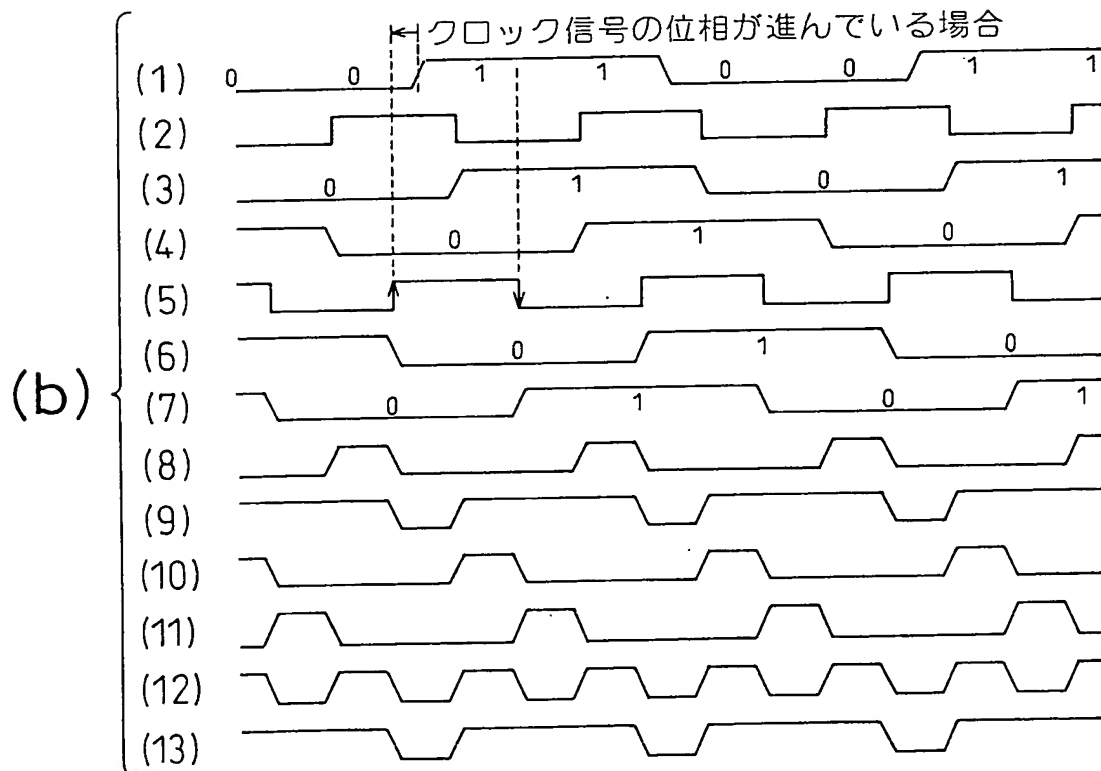
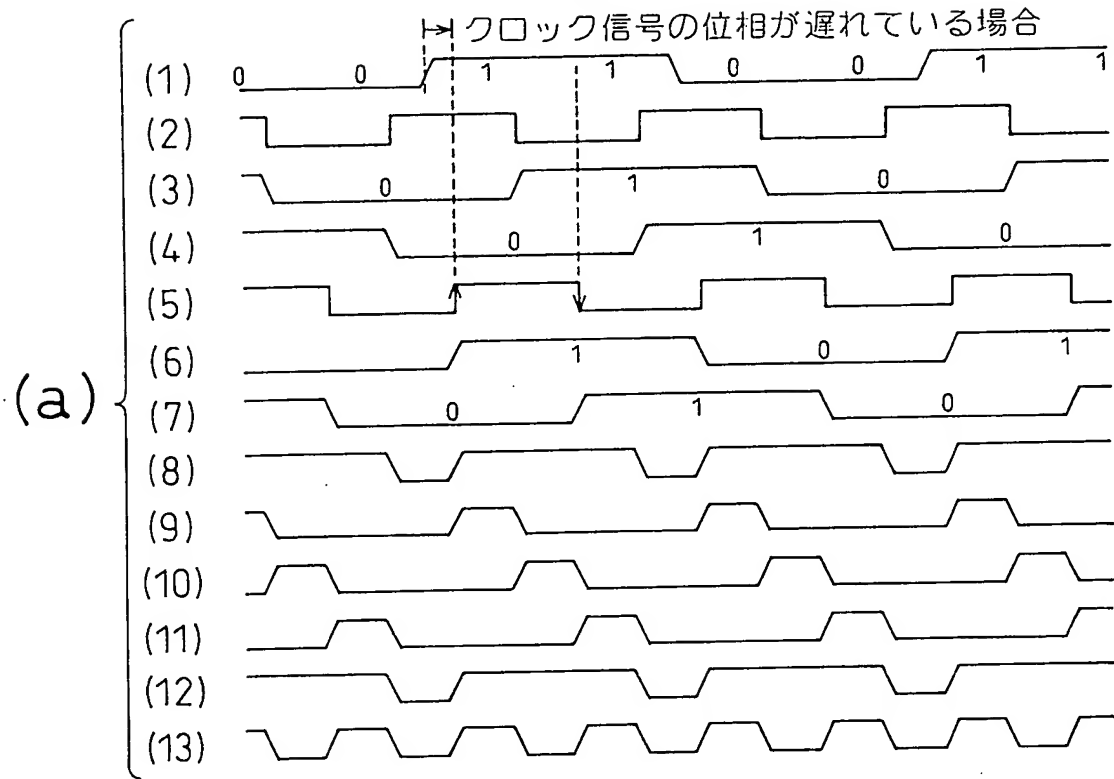


Fig. 21

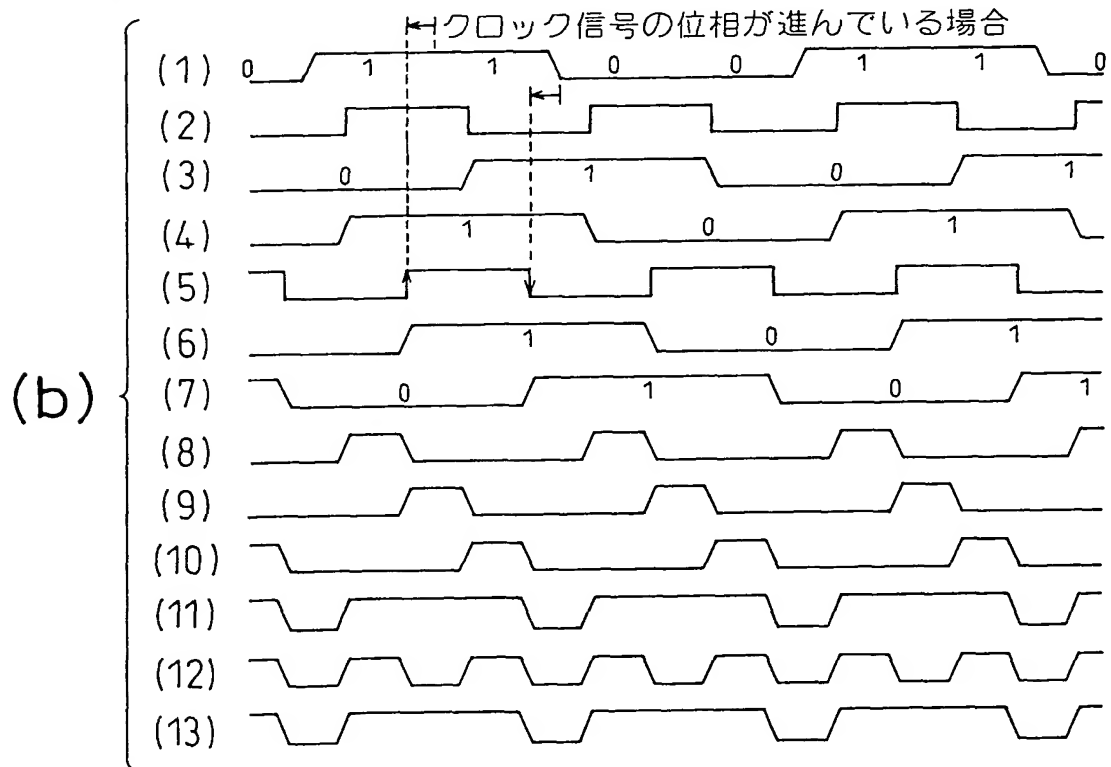
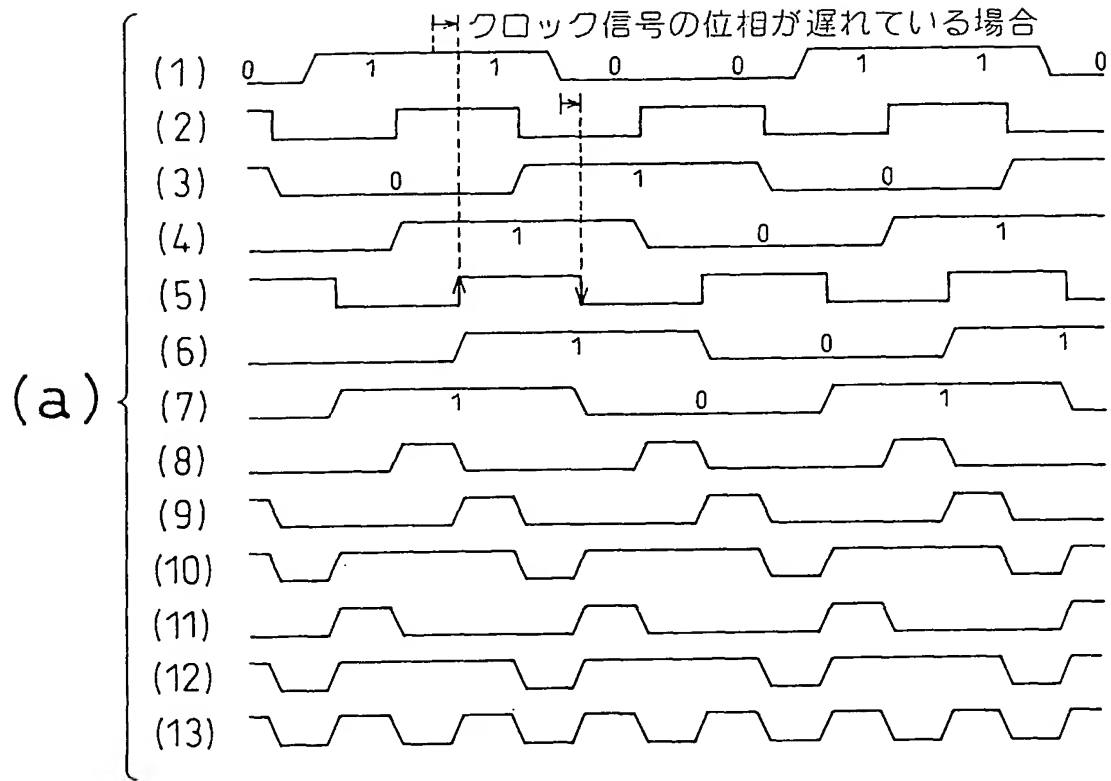


Fig. 22

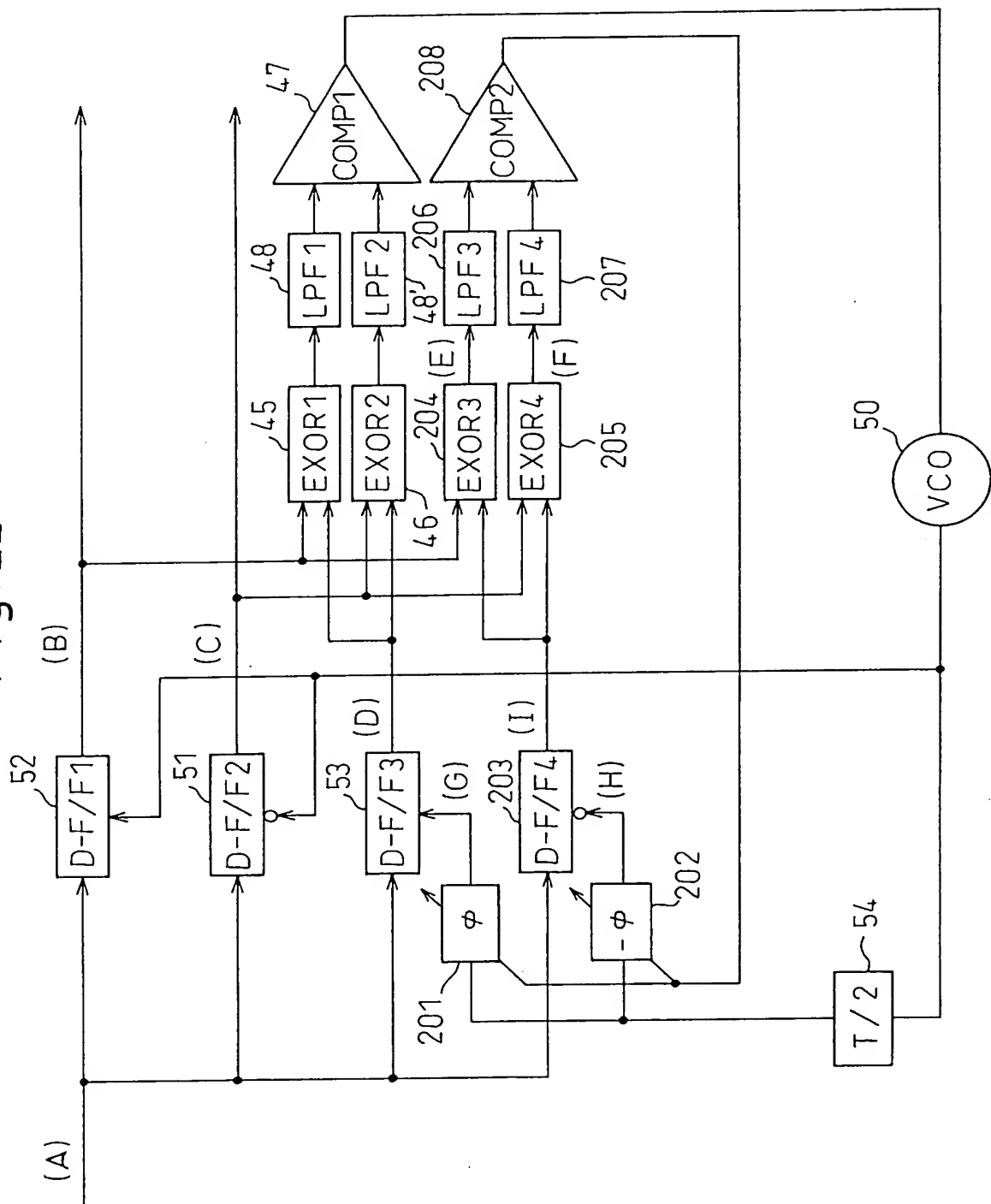


Fig. 23

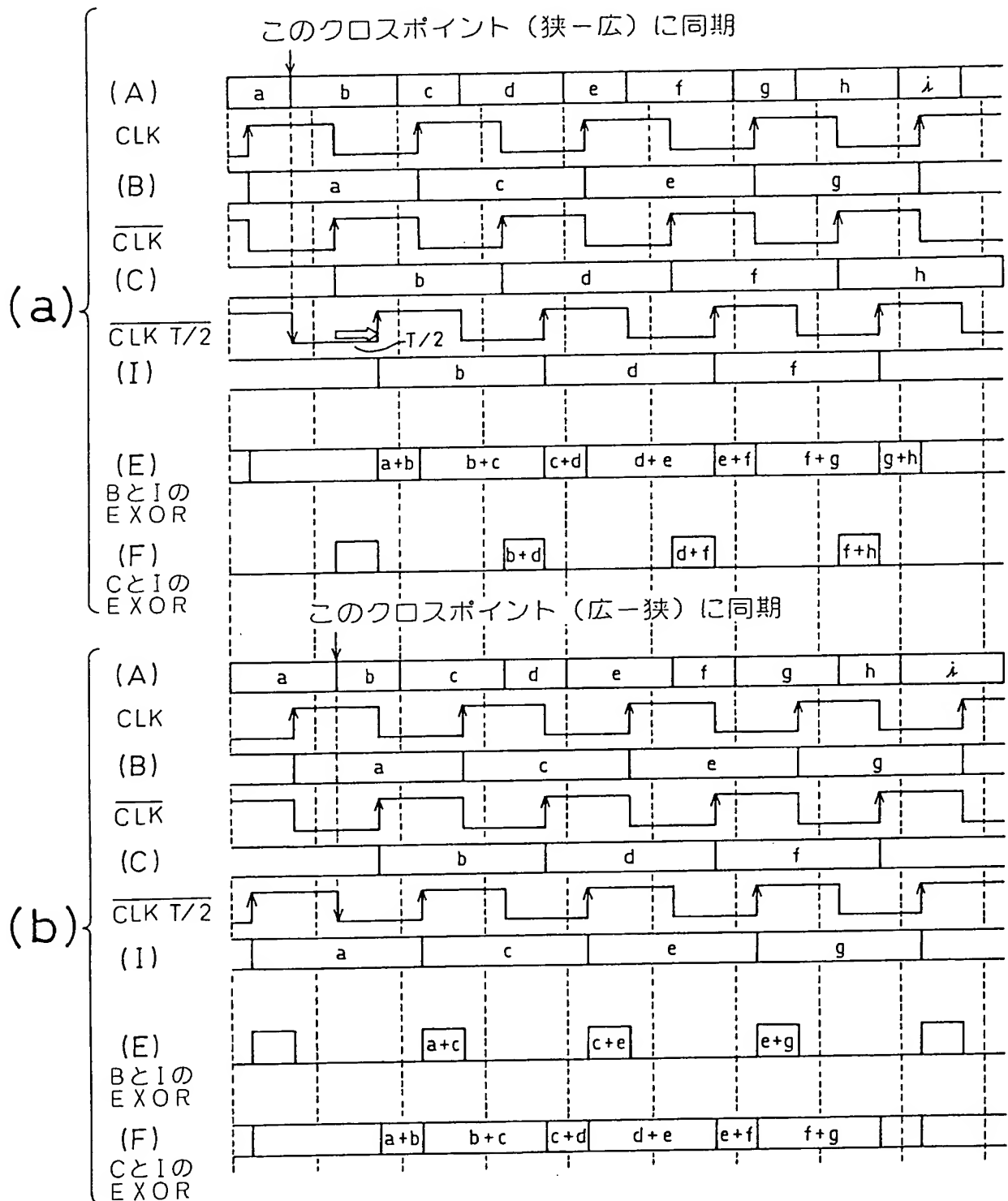


Fig. 24

このクロスポイント (狭-広) に同期

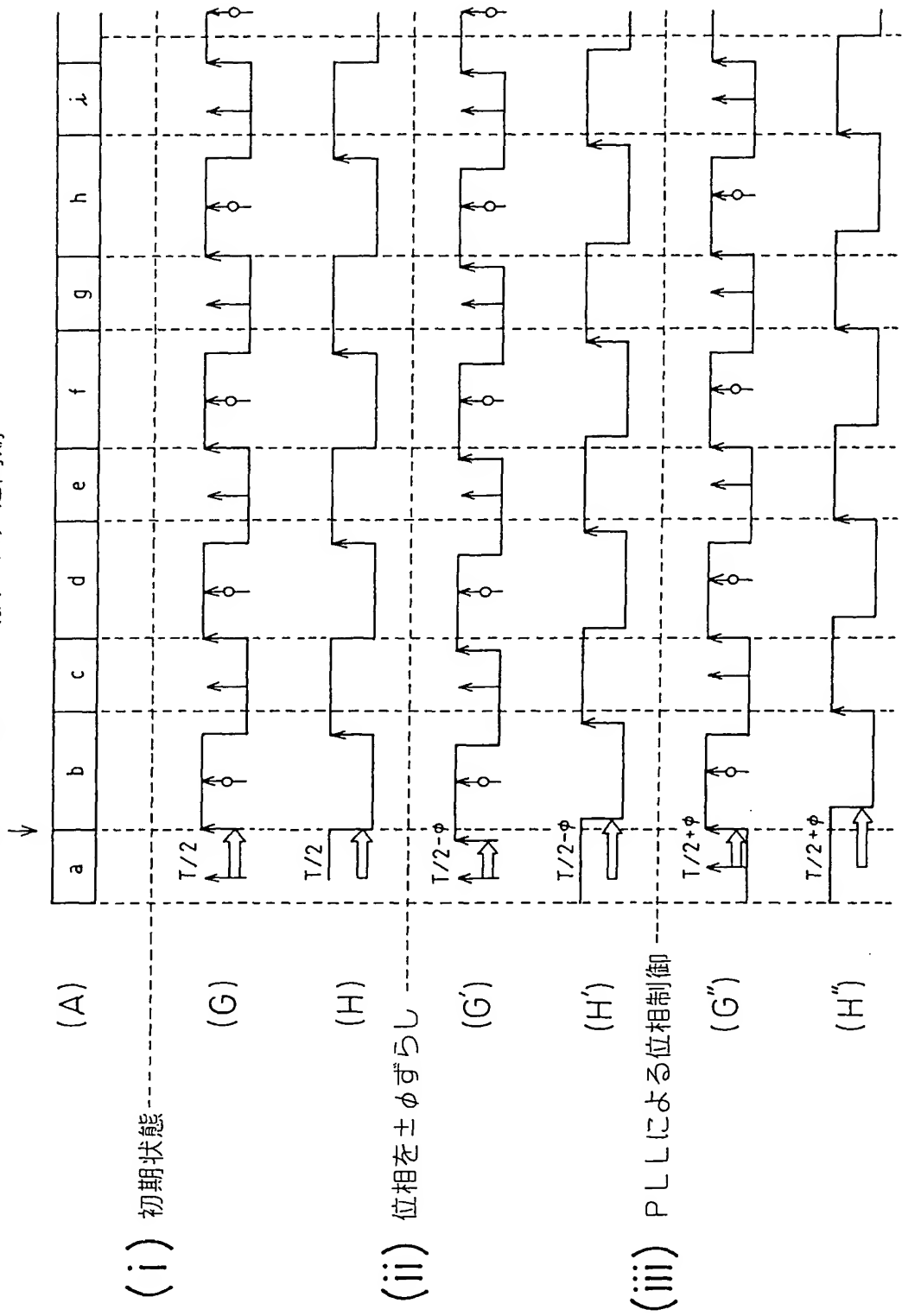


Fig. 25

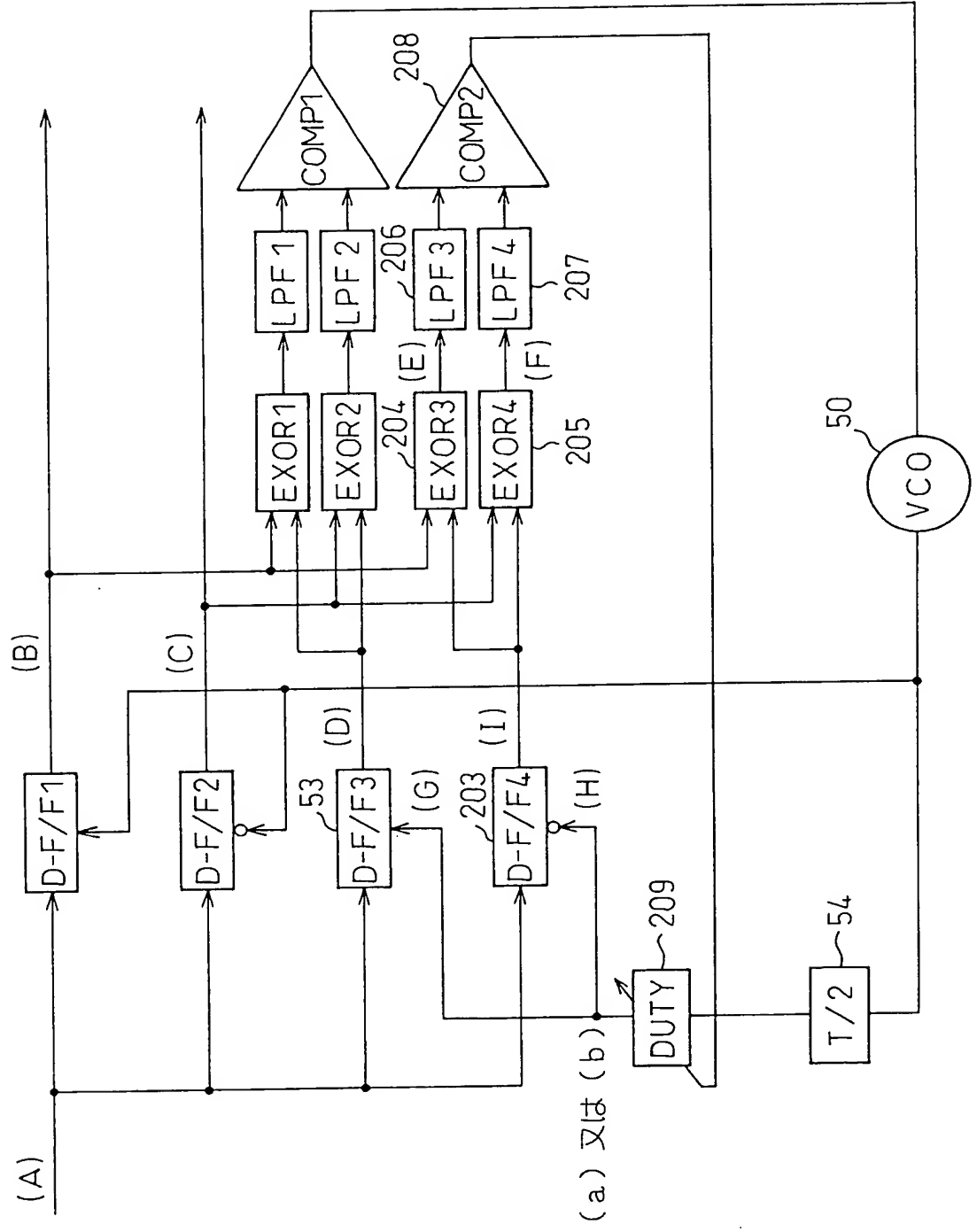


Fig. 26

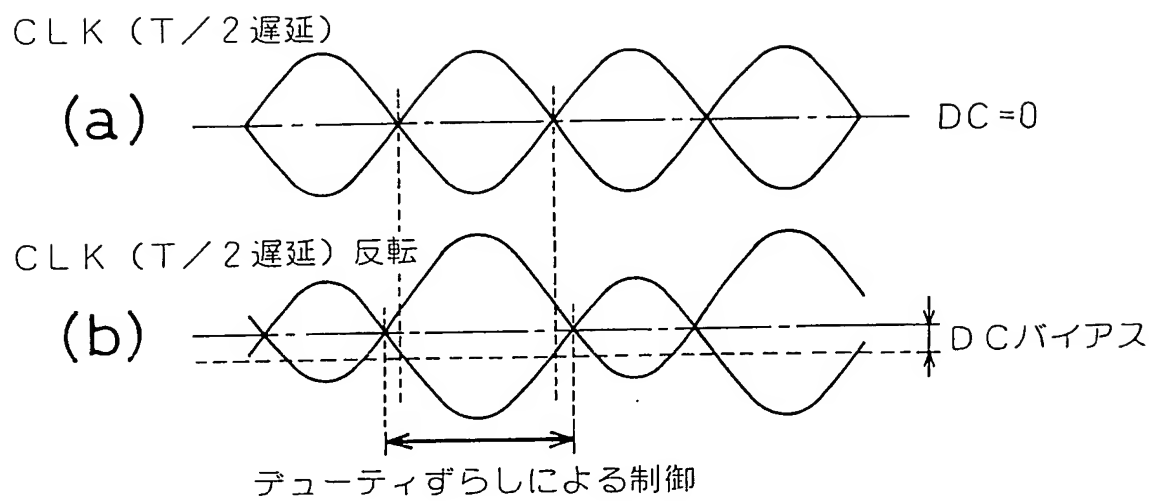


Fig. 27

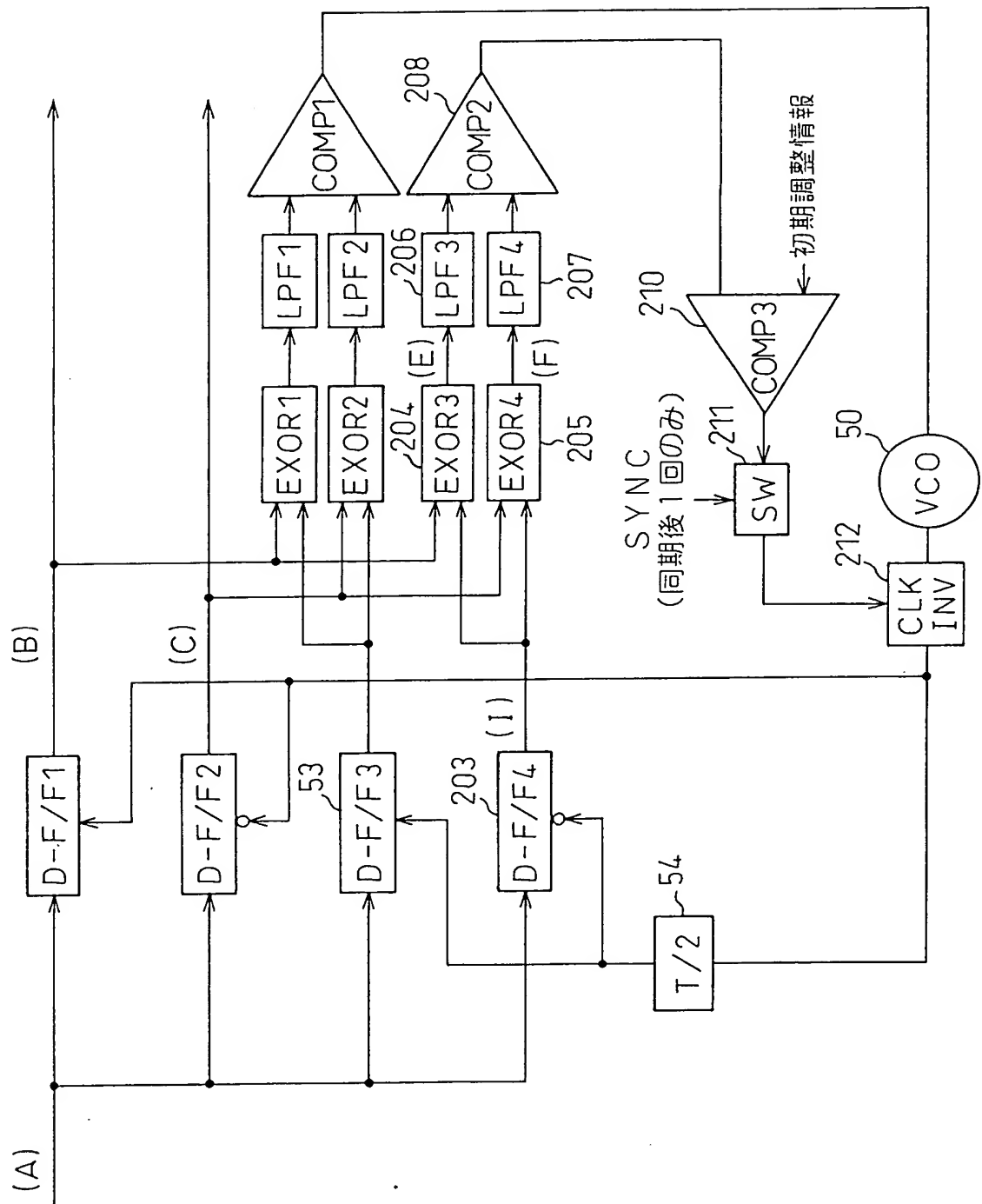
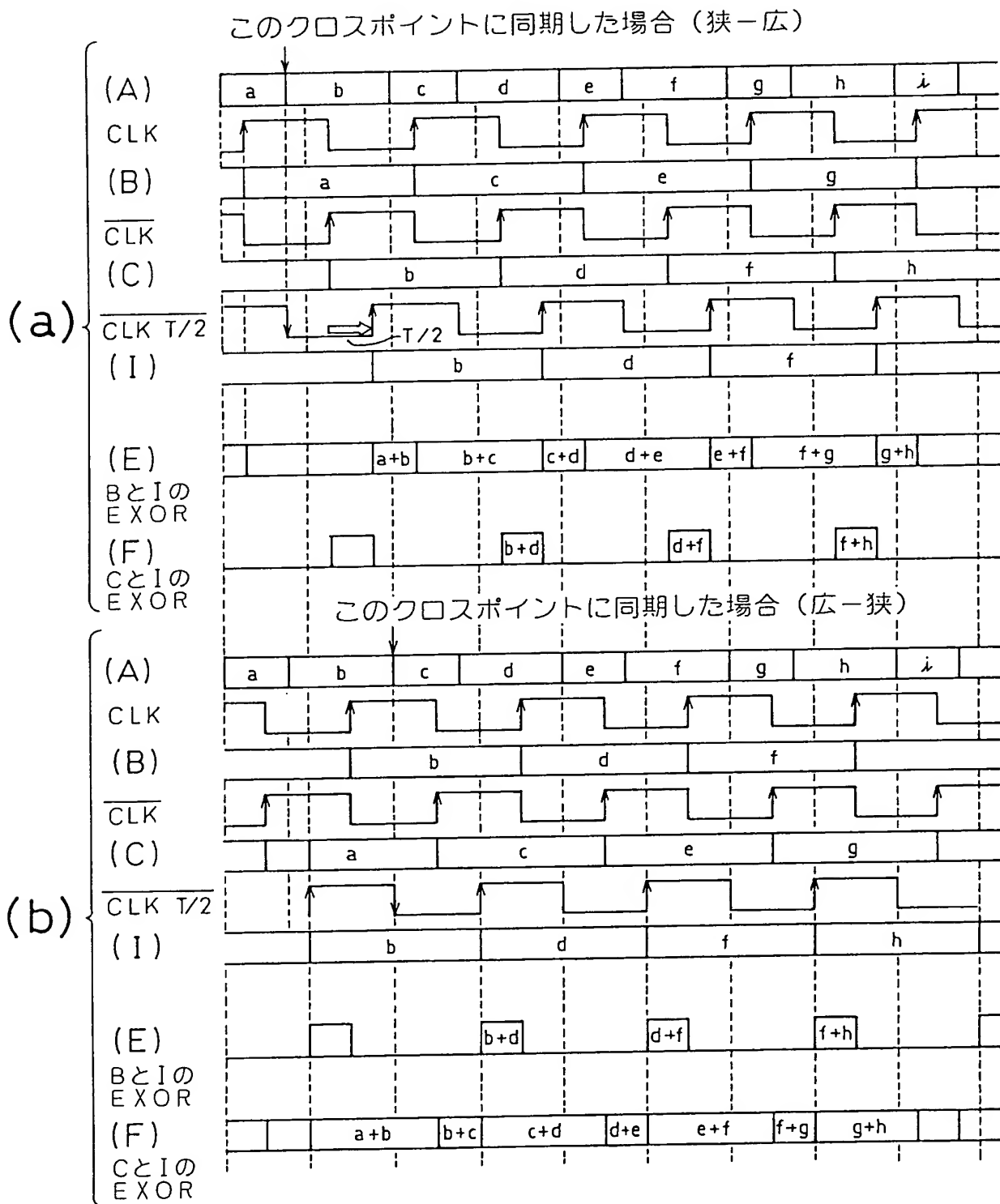


Fig.28



)



Fig.30

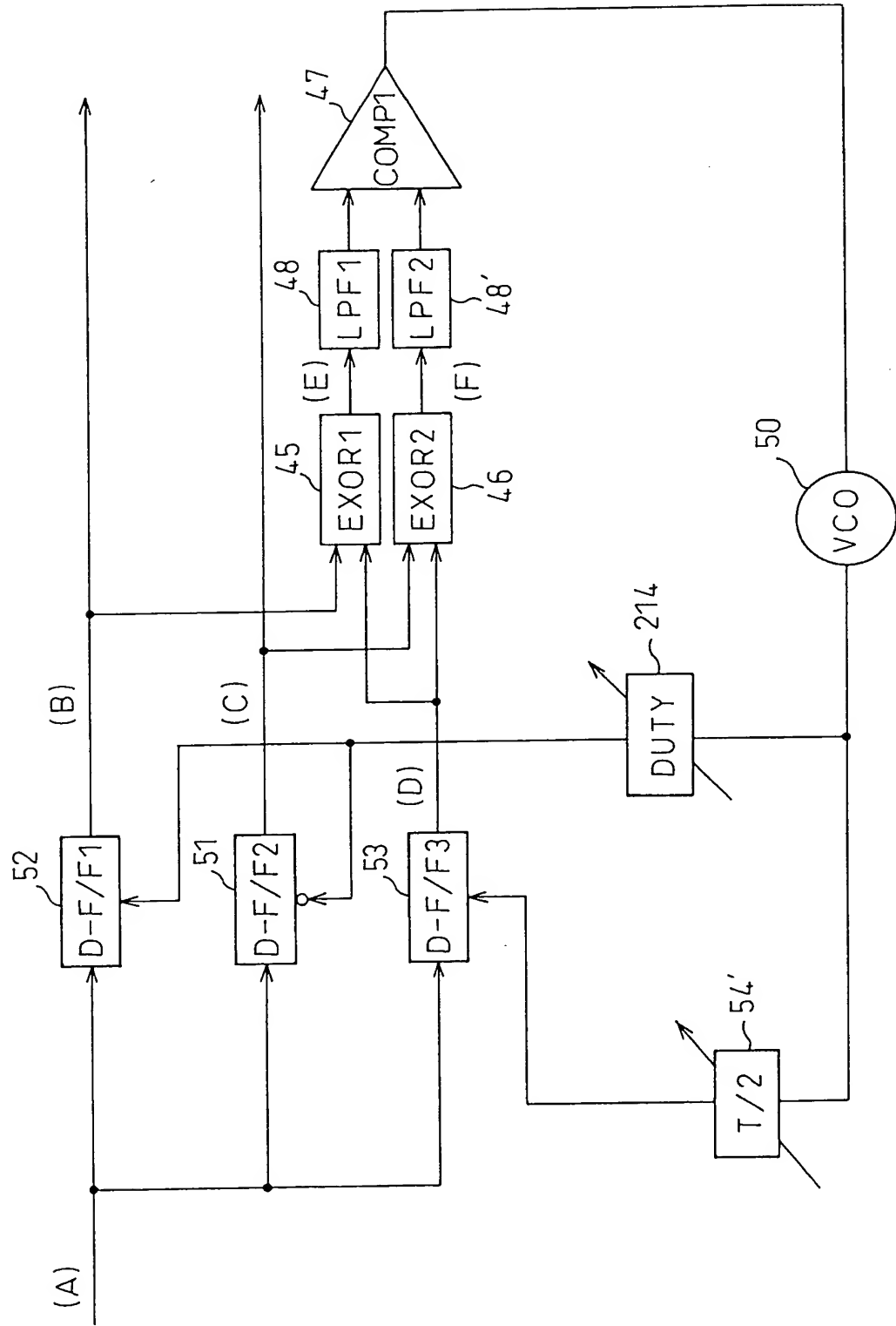
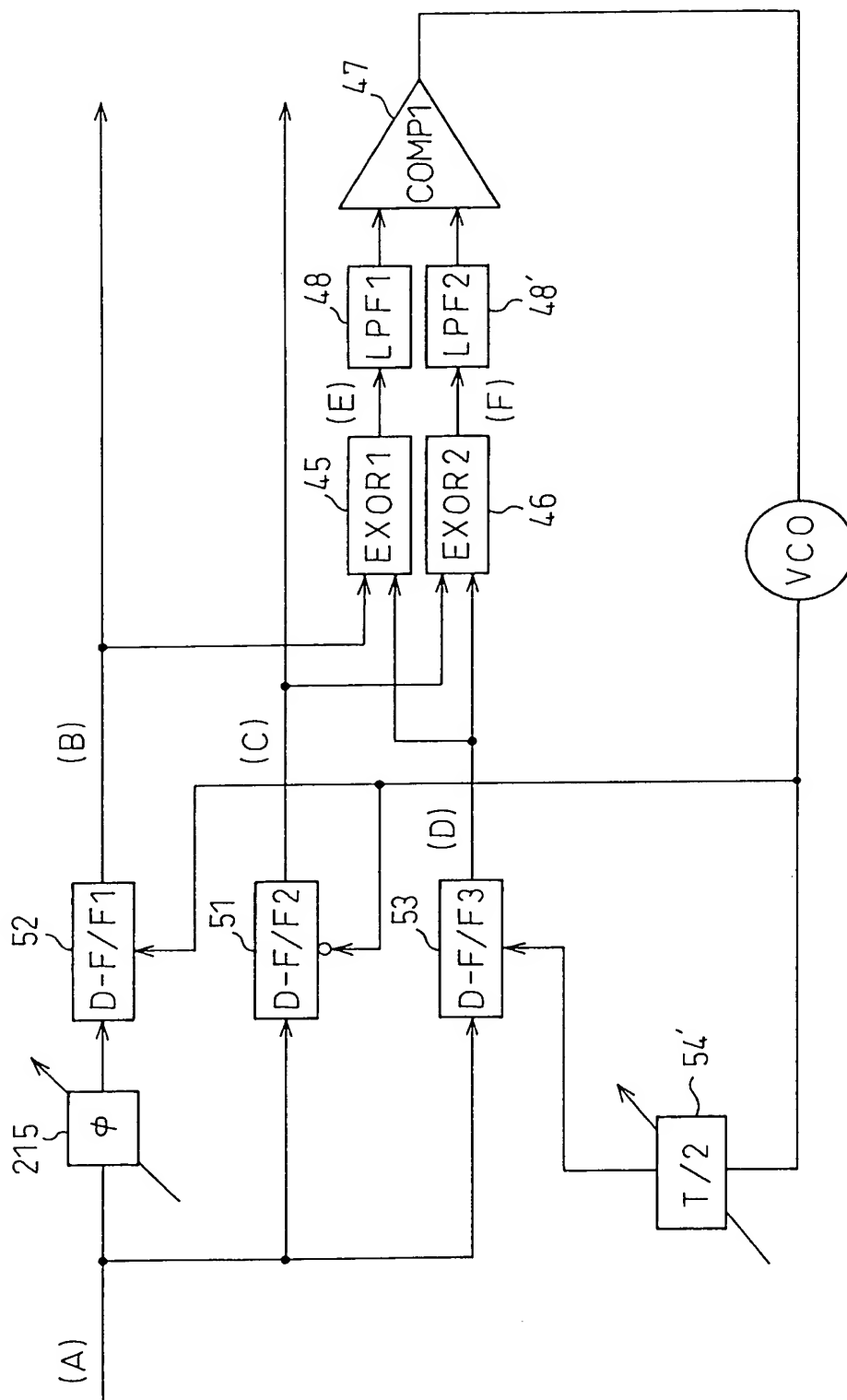


Fig. 31



(a) {

(A)

a	b	c	d	e	f	g	h	i
---	---	---	---	---	---	---	---	---

CLK

(B)

$\overline{\text{CLK}}$

(C)

CLK $T/2$

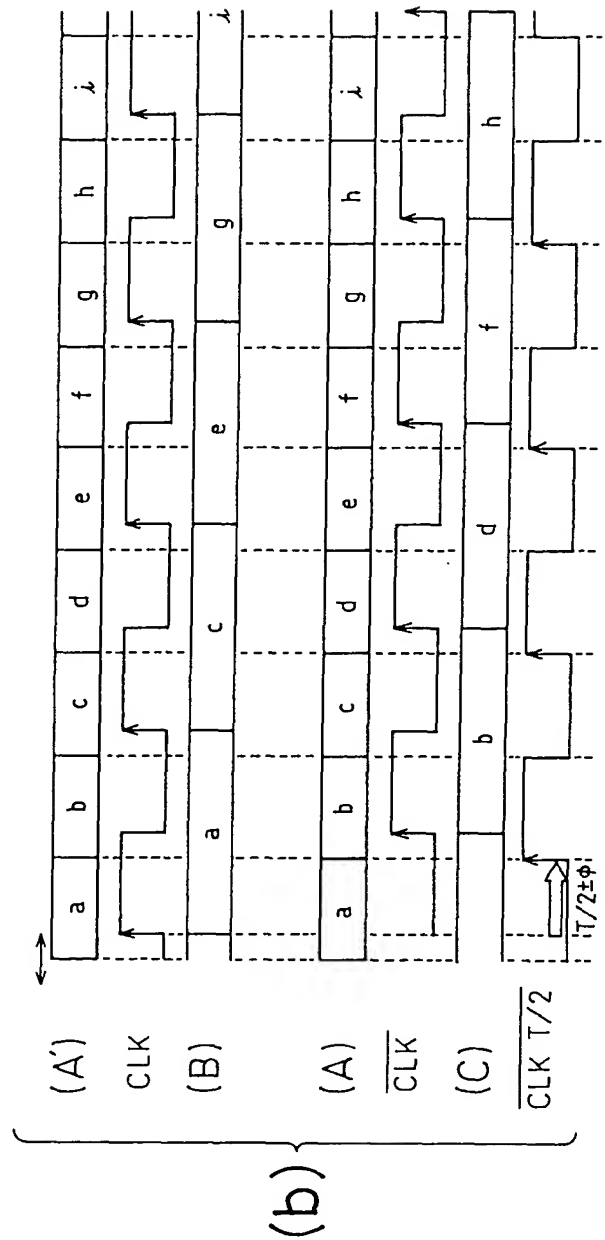
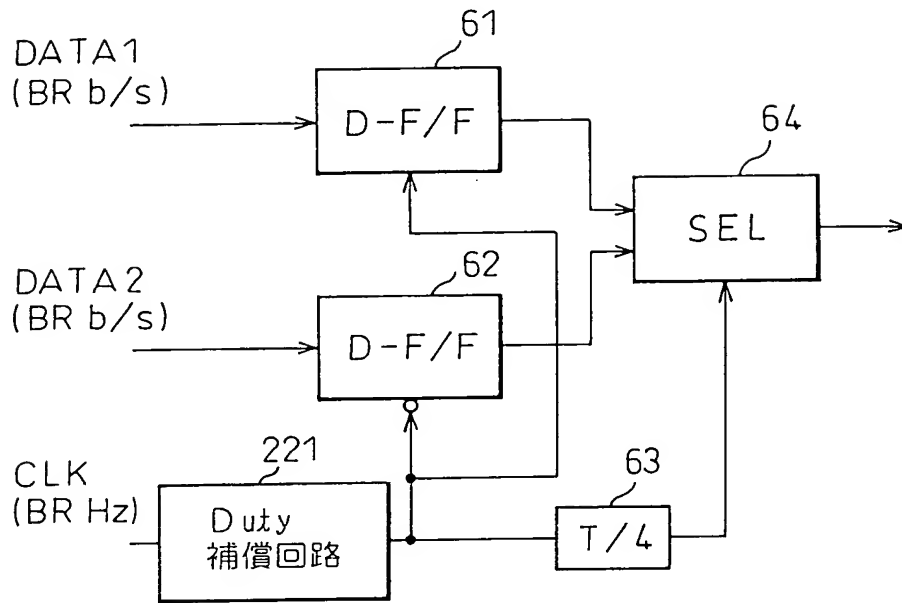


Fig. 33
(a)



(b)

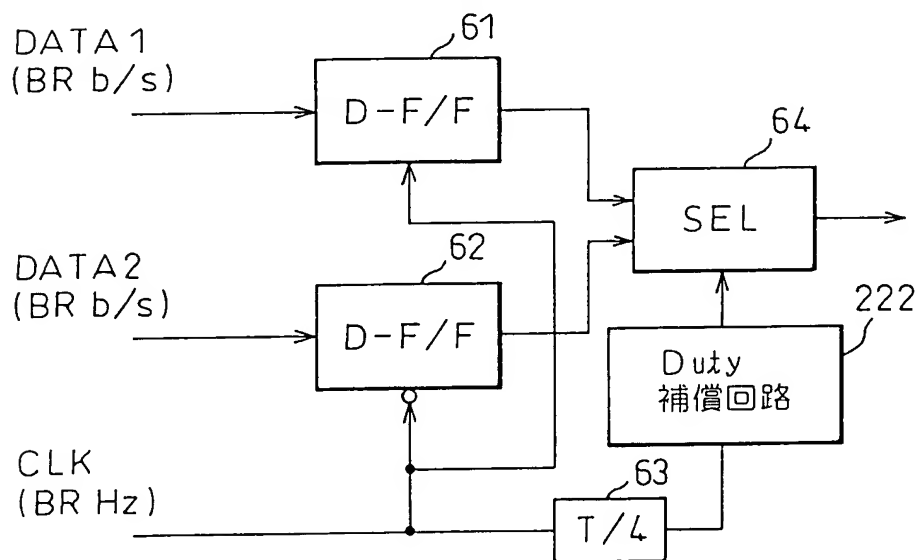


Fig.34

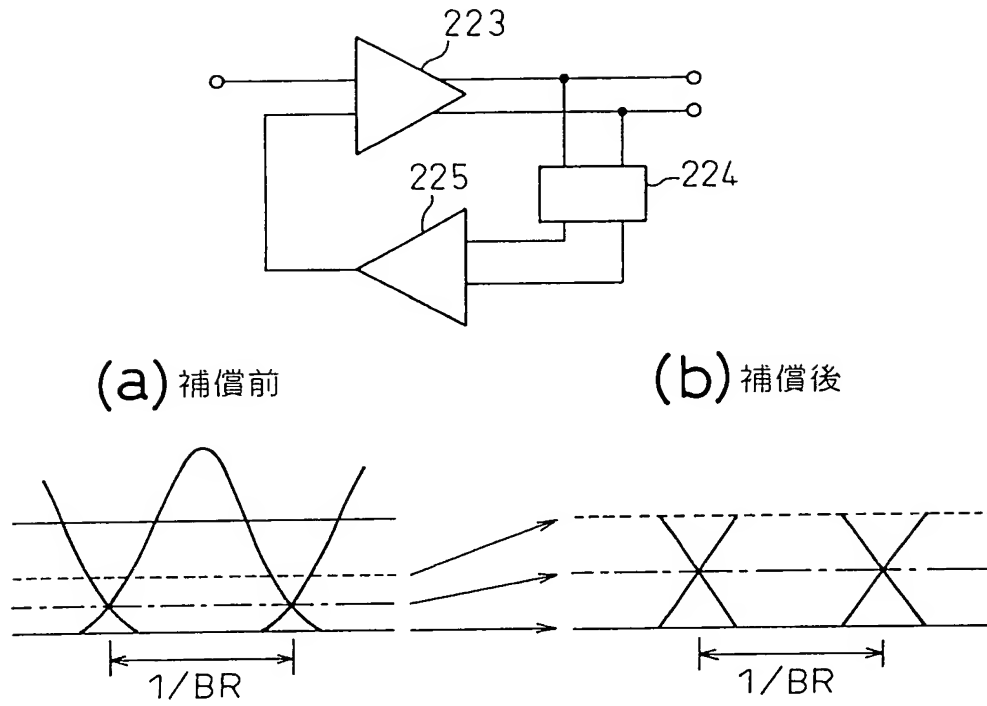


Fig.35

